

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-074487

(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 21/28  
H01L 21/768

(21)Application number : 10-179870

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.06.1998

(72)Inventor : YAMAUCHI HIDEAKI

(30)Priority

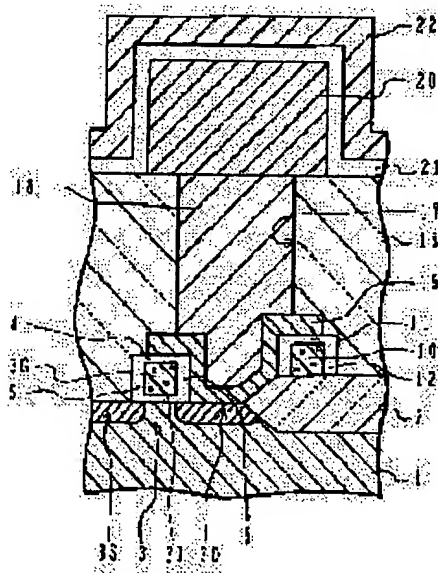
Priority number : 09175051 Priority date : 30.06.1997 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent inter-migration of the compositions of a semiconductor region and a conductive member by a method wherein the semiconductor region out of an insulating region and the semiconductor region, which are exposed on a substrate, is covered with a barrier layer, this barrier layer is covered with an interlayer insulating film, through which a contact hole penetrates, and the conductive member is buried in this hole.

**SOLUTION:** A MOS transistor 3 is formed on an active region exposed on a silicon substrate 1. A drain region 3D is covered with a barrier layer 15 and an interlayer insulating film 16 is formed on the surface of the substrate in such a way as to cover the layer 15. A contact hole 17 is formed in this film 16 on the upper surface on the inner side of the layer 15 and a conductive member 18 is buried in the interior of this hole 17. A charge storage electrode 20 is formed on the upper surface of the member 18 and moreover, a capacitor insulating film 21 is formed on the film 16. The layer 15 prevents inter-migration of the capacitors compositions of the substrate 1 and the member 18 and a solid phase reaction due to the compositions to raise the connection between the silicon substrate and a metal film and at the same time, the layer 15 is prevented from being oxidized at the time of a treatment of the layer 15.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

---

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74487

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl. <sup>5</sup>	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 2 1 B
21/8242		21/28	3 0 1 R
21/28	3 0 1	21/90	D
21/768		27/10	6 2 1 C
			6 5 1
審査請求 未請求 請求項の数34 O L (全 28 頁) 最終頁に続く			

(21) 出願番号 特願平10-179870

(22) 出願日 平成10年(1998) 6月26日

(31) 優先権主張番号 特願平9-175051

(32) 優先日 平 9 (1997) 6月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 山内 英彰

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

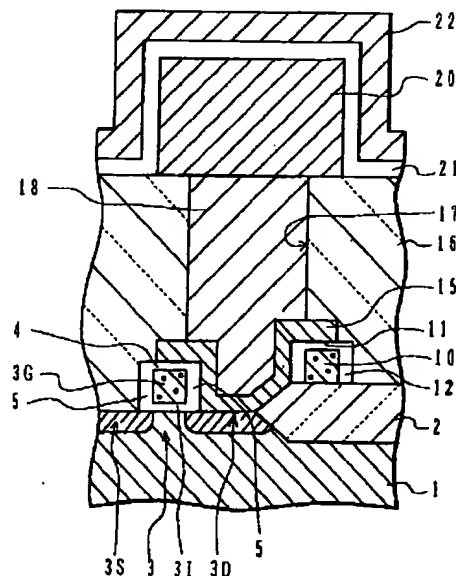
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 バリア層堆積後の酸化性雰囲気中における処理においてもバリア層の酸化を防止できる半導体装置及びその製造方法を提供する。

【解決手段】 表面に絶縁領域と半導体領域とが表出した基板と、基板の表面のうち少なくとも半導体領域の表面上に形成されたバリア層と、バリア層を覆うように、基板上に形成された第1の層間絶縁膜と、第1の層間絶縁膜を貫通し、バリア層の外周よりも内側に配置された底面を有する第1のコンタクトホールと、第1のコンタクトホール内に埋め込まれた第1の導電性部材とを有する。バリア層が、半導体領域の組成物と第1の導電性部材の組成物との相互拡散を防止し、かつ導電性を有する。

第1の実施例



(2)

## 【特許請求の範囲】

【請求項1】 表面に絶縁領域と半導体領域とが表出した基板と、

前記基板の表面のうち少なくとも半導体領域の表面上に形成されたバリア層と、

前記バリア層を覆うように、前記基板上に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜を貫通し、前記バリア層の外周よりも内側に配置された底面を有する第1のコンタクトホールと、

前記第1のコンタクトホール内に埋め込まれた第1の導電性部材とを有し、

前記バリア層が、前記半導体領域の組成物と前記第1の導電性部材の組成物との相互拡散を防止し、かつ導電性を有する半導体装置。

【請求項2】 前記第1の導電性部材が、前記バリア層の材料よりも酸化されにくい材料により形成されている請求項1に記載の半導体装置。

【請求項3】 さらに、前記基板の表面に形成され、ソース領域、ドレイン領域、及びゲート電極を含むMOS

トランジスタを有し、前記半導体領域が、前記MOSトランジスタのソース領域またはドレイン領域である請求項1または2に記載の半導体装置。

【請求項4】 前記バリア層が、前記MOSトランジスタのゲート電極の上面の一部の領域上まで延在し、さらに、前記バリア層と前記ゲート電極との重なる領域において、該バリア層と該ゲート電極との間に配置され、両者間を電気的に絶縁するゲート被覆絶縁膜を有する請求項3に記載の半導体装置。

【請求項5】 前記基板が、ソース領域、ドレイン領域、及びゲート電極を含むMOSトランジスタを表面に有する下地基板と、前記下地基板の表面上に、前記MOSトランジスタを覆うように形成された第2の層間絶縁膜と、前記第2の層間絶縁膜を貫通し、前記MOSトランジスタのソース領域またはドレイン領域の表面の少なくとも一部を底面に有する第2のコンタクトホールと、前記第2のコンタクトホール内に埋め込まれ、上面が前記基板の表面の前記半導体領域を画定する第2の導電性プラグとを有する請求項1または2に記載の半導体装置。

【請求項6】 さらに、前記第1の層間絶縁膜の上に形成され、前記第1の導電性部材に電気的に接続された電荷蓄積電極と、前記電荷蓄積電極の表面を覆い、誘電体材料により形成された容量絶縁膜と、前記容量絶縁膜の表面上に形成され、前記電荷蓄積電極とともにキャパシタを構成するプレート電極とを有する請求項3～5のいずれかに記載の半導体装置。

2

【請求項7】 前記電荷蓄積電極が、

少なくとも前記第1の導電性部材の上面に密着する底面部と、

前記底面部の外周において、該底面部に結合する筒状の側面部とを有する請求項6に記載の半導体装置。

【請求項8】 前記第1の導電性部材の上端が、前記第1の層間絶縁膜の上面よりも上に突出し、

さらに、

前記第1の導電性部材の突出部の表面を覆い、誘電体材料により形成された容量絶縁膜と、

前記容量絶縁膜の表面上に形成され、前記第1の導電性部材の突出部とともにキャパシタを構成するプレート電極とを有する請求項3～5のいずれかに記載の半導体装置。

【請求項9】 さらに、

前記第2の層間絶縁膜を貫通し、前記MOSトランジスタのソース領域とドレイン領域のうち前記第2の導電性プラグに接続されていない方の領域の表面の少なくとも一部を底面に有する第3のコンタクトホールと、

前記第3のコンタクトホール内に埋め込まれた第3の導電性プラグと、

前記第2の層間絶縁膜と第1の層間絶縁膜との間に配置され、前記第3の導電性プラグに電気的に接続された配線とを有する請求項5に記載の半導体装置。

【請求項10】 さらに、前記バリア層の下に配置された該バリア層と同一パターンの導電層を有し、

前記配線が、前記導電層と同時に形成された下層、及び前記バリア層と同時に形成された上層とを含む積層構造を有する請求項9に記載の半導体装置。

【請求項11】 前記バリア層と前記配線との間に配置され、両者間を電気的に絶縁する配線被覆絶縁膜を有する請求項9に記載の半導体装置。

【請求項12】 メモリ素子が配置されるメモリ領域と、ロジック回路素子が配置されるロジック領域とが表面内に画定された半導体基板と、

前記半導体基板のメモリ領域内に形成された第1のMOSトランジスタと、

前記第1のMOSトランジスタのドレイン領域の表面を覆うバリア層と、

前記半導体基板のロジック領域内に形成された第2のMOSトランジスタと、

前記半導体基板のロジック領域内に形成された導電性領域と、

前記第2のMOSトランジスタのソース若しくはドレイン領域と前記導電性領域とを接続する局所配線と、

前記バリア層と前記局所配線とを覆うように、前記半導体基板の上に形成された層間絶縁膜と、

前記層間絶縁膜を貫通し、前記バリア層の外周よりも内側に配置された底面を有するコンタクトホールと、

前記コンタクトホール内に埋め込まれた導電性部材と、

(3)

3

前記層間絶縁膜の上に形成され、前記導電性部材に接続された電荷蓄積電極と、  
前記電荷蓄積電極の表面を覆い、誘電体材料により形成された容量絶縁膜と、  
前記容量絶縁膜を介して前記電荷蓄積電極に対向するように配置され、前記電荷蓄積電極とともにキャパシタを構成するプレート電極とを有する半導体装置。

【請求項13】 前記局所配線が、前記バリア層と同一の材料で形成されている請求項12に記載の半導体装置。

【請求項14】 前記キャパシタを覆うように、前記層間絶縁膜の上に形成された他の層間絶縁膜と、  
前記層間絶縁膜及び他の層間絶縁膜を貫通し、前記局所配線の表面の少なくとも一部を底面とする他のコンタクトホールと、  
前記他の層間絶縁膜の上に形成され、前記他のコンタクトホールを介して前記局所配線に接続された配線とを有する請求項12または13に記載の半導体装置。

【請求項15】 メモリ素子が配置されるメモリ領域と、ロジック回路素子が配置されるロジック領域とが表面内に画定された半導体基板と、  
前記半導体基板のメモリ領域内に形成された第1のMOSトランジスタと、  
前記半導体基板のロジック領域内に形成された第2のMOSトランジスタと、  
前記半導体基板のロジック領域内に形成された導電性領域と、  
前記第1及び第2のMOSトランジスタ、及び前記導電性領域を覆うように、前記半導体基板の上に形成された下層層間絶縁膜と、  
前記下層層間絶縁膜を貫通し、前記第1のMOSトランジスタのドレイン領域の表面の少なくとも一部の領域を底面とする第1のコンタクトホールと、  
前記第1のコンタクトホール内に埋め込まれた第1の導電性部材と、  
前記下層層間絶縁膜を貫通し、前記第2のMOSトランジスタのソース若しくはドレイン領域の表面の少なくとも一部の領域を底面とする第2のコンタクトホールと、  
前記第2のコンタクトホール内に埋め込まれた第2の導電性部材と、  
前記下層層間絶縁膜を貫通し、前記導電性領域の表面の少なくとも一部の領域を底面とする第3のコンタクトホールと、  
前記第3のコンタクトホール内に埋め込まれた第3の導電性部材と、  
前記下層層間絶縁膜の上に形成され、前記第1の導電性部材の上面を覆うバリア層と、  
前記下層層間絶縁膜の上に形成され、前記第2の導電性部材の上面若しくは前記第3の導電性部材の上面に接続された第1の配線と、

4

前記バリア層及び前記第1の配線を覆うように、前記下層層間絶縁膜の上に形成された上層層間絶縁膜と、  
前記上層層間絶縁膜を貫通し、前記バリア層の外周よりも内側に配置された底面を有する第4のコンタクトホールと、  
前記第4のコンタクトホール内に埋め込まれた第4の導電性部材と、  
前記上層層間絶縁膜を貫通し、前記第1の配線の表面の一部の領域を底面とする第5のコンタクトホールと、  
10 前記第5のコンタクトホール内に埋め込まれた第5の導電性部材と、  
前記上層層間絶縁膜の上に形成され、前記第4の導電性部材に接続された電荷蓄積電極と、  
前記電荷蓄積電極の表面を覆い、誘電体材料により形成された容量絶縁膜と、  
前記容量絶縁膜を介して前記電荷蓄積電極に対向するように形成され、前記電荷蓄積電極とともにキャパシタを構成するプレート電極と、  
前記上層層間絶縁膜の上に形成され、前記第5の導電性部材に接続された第2の配線とを有する半導体装置。

【請求項16】 前記第1の配線が、前記バリア層と同一の材料で形成されている請求項15に記載の半導体装置。

【請求項17】 前記第2の配線が、前記電荷蓄積電極と同一の材料で形成されている請求項15または16に記載の半導体装置。

【請求項18】 前記電荷蓄積電極が、前記第4の導電性部材の上面に密着する底面部と、前記底面部の外周において該底面部に結合する筒状の側面部とを有し、  
30 前記第2の配線が、前記プレート電極と同一の材料で形成されている請求項15または16に記載の半導体装置。

【請求項19】 さらに、  
前記下層層間絶縁膜を貫通し、前記第1のMOSトランジスタのソース領域の表面の一部の領域を底面とする第6のコンタクトホールと、  
前記第6のコンタクトホール内に埋め込まれた第6の導電性部材と、  
前記下層層間絶縁膜の上に形成され、前記第6の導電性部材に接続されたビット線とを有し、  
40 前記第1の配線が、前記ビット線と同一の材料で形成されている請求項15に記載の半導体装置。

【請求項20】 さらに、前記上層層間絶縁膜の上に配置され、該上層層間絶縁膜とはエッチング耐性の異なる材料で形成されたエッチング停止層を有し、  
前記電荷蓄積電極が、前記エッチング停止層の上に配置され、  
さらに、前記ロジック領域内において、前記エッチング停止層の上に配置され、前記エッチング停止層とはエッチング耐性の異なる材料で形成された他の層間絶縁膜と

50

(4)

5

有し、  
前記第5のコンタクトホールが、前記他の層間絶縁膜及び前記エッチング停止層をも貫通し、  
前記第2の配線が、前記プレート電極と同一の材料で形成されている請求項15に記載の半導体装置。

【請求項21】 表面に絶縁領域と半導体領域とが表出した基板を準備する工程と、  
前記基板の表面のうち、少なくとも半導体領域の表面を覆う導電性のバリア層を形成する工程と、  
前記バリア層を覆うように、前記基板の表面上に第1の層間絶縁膜を形成する工程と、  
前記第1の層間絶縁膜に、前記バリア層の上面の少なくとも一部の領域を露出させる第1のコンタクトホールを形成する工程と、  
前記第1のコンタクトホール内に埋め込まれた第1の導電性部材を形成する工程と

を含み、  
前記バリア層が、前記半導体領域の組成物と前記第1の導電性部材の組成物との相互拡散を防止する材料で形成されている半導体装置の製造方法。

【請求項22】 さらに、  
前記第1の導電性部材の上面及びその周辺領域上に、導電性材料により形成された電荷蓄積電極を形成する工程と、  
前記電荷蓄積電極を覆うように、前記第1の層間絶縁膜の上に、誘電体材料からなる容量絶縁膜を形成する工程と、  
前記容量絶縁膜の上に、前記電荷蓄積電極と共にキャパシタを構成するプレート電極を形成する工程とを含む請求項21に記載の半導体装置の製造方法。

【請求項23】 前記電荷蓄積電極を形成する工程が、前記第1の導電性部材の上面及び第1の層間絶縁膜の上面を覆う第1の薄膜を形成する工程と、  
前記第1の薄膜に、少なくとも前記第1の導電性部材の上面が露出するように第1の貫通孔を形成する工程と、  
前記第1の貫通孔の底面上及び側面上に、第1の導電膜を形成する工程と、  
前記第1の薄膜を除去し、前記第1の導電膜からなる前記電荷蓄積電極を形成する工程とを含む請求項22に記載の半導体装置の製造方法。

【請求項24】 前記第1の層間絶縁膜を形成する工程の後、さらに、  
前記第1の層間絶縁膜の上に、第2の薄膜を堆積する工程と、  
前記第1のコンタクトホールを形成すべき領域において、前記第2の薄膜を貫通し、前記第1のコンタクトホールと共に前記第2の薄膜と前記第1の層間絶縁膜との2層を貫通する第2の貫通孔を形成する工程を含み、  
前記第1の導電性部材を形成する工程において、前記第2の貫通孔の内部にも導電性材料を埋め込み、上端が前

6

記第1の層間絶縁膜の上面よりも上に突出する前記第1の導電性部材を形成し、

該第1の導電性部材を形成する工程の後、さらに、  
前記第2の薄膜を除去し、前記第1の層間絶縁膜の上面よりも上に突出した前記第1の導電性部材の突出部を残す工程と、

前記第1の導電性部材の突出部を覆うように、前記第1の層間絶縁膜の上に、誘電体材料からなる容量絶縁膜を形成する工程と、

10 前記容量絶縁膜の上に、前記第1の導電性部材の突出部と共にキャパシタを構成するプレート電極を形成する工程とを含む請求項21に記載の半導体装置の製造方法。

【請求項25】 前記第1の層間絶縁膜を形成する工程の後、さらに、  
前記第1の層間絶縁膜の上に、第3の薄膜を堆積する工程と、

前記第1のコンタクトホールを形成すべき領域において前記第3の薄膜を貫通する第3の貫通孔を形成する工程とを含み、

20 前記第1のコンタクトホールを形成する工程において、前記第3の貫通孔の底面のうち一部の領域にのみ前記第1のコンタクトホールを形成し、

前記第1の導電性部材を形成する工程において、前記第1のコンタクトホールの内部を埋め込むとともに、前記第3の貫通孔の底面上と側面上にも該第1の導電性部材と同一材料を堆積し、該第1の導電性部材に結合した第2の導電膜を形成する工程と、

前記第3の薄膜を除去し、前記第2の導電膜を残す工程と、

30 前記第2の導電膜の表面を覆うように、前記第1の層間絶縁膜の上に、誘電体材料からなる容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に、前記第2の導電膜と共にキャパシタを構成するプレート電極を形成する工程とを含む請求項21に記載の半導体装置の製造方法。

【請求項26】 前記支持基板を準備する工程が、半導体表面を有する下地基板の該半導体表面領域に、ソース領域、ドレイン領域、及びゲート電極を含むMOSトランジスタを形成する工程と、

40 前記下地基板の表面上に、前記MOSトランジスタを覆うように第2の層間絶縁膜を形成する工程と、

前記第2の層間絶縁膜を貫通し、前記MOSトランジスタのソース領域及びドレイン領域のうち一方の領域の表面の少なくとも一部を底面に有する第2のコンタクトホールを形成する工程と、

前記第2のコンタクトホール内に導電材料を埋め込み、上面が前記支持基板の表面の前記半導体領域を画定する第2の導電性プラグを形成する工程とを含む請求項21～25のいずれかに記載の半導体装置の製造方法。

50 【請求項27】 前記第2のコンタクトホールを形成す

(5)

7

る工程が、さらに、前記第2のコンタクトホール形成とともに、前記MOSトランジスタのソース領域及びドレイン領域のうち前記第2の導電性プラグに接続されていない方の領域の表面の少なくとも一部を底面に有する第3のコンタクトホールを形成する工程を含み、前記第2の導電性プラグを形成する工程が、さらに、前記第2のコンタクトホール内を埋め込むとともに前記第3のコンタクトホール内も埋め込み、該第3のコンタクトホール内に第3の導電性プラグを形成する工程を含み、前記第2の導電性プラグを形成する工程の後、前記第1の層間絶縁膜を形成する工程の前に、さらに、前記第2の層間絶縁膜の表面上に、前記第3の導電性プラグと電気的に接続された配線を形成する工程を含む請求項26に記載の半導体装置の製造方法。

【請求項28】 前記配線を形成する工程が、さらに、前記配線と共に、前記第2の層間絶縁膜の表面上に、前記第2の導電性プラグに電気的に接続された第3の導電膜を形成する工程を含み、前記バリア層を形成する工程が、さらに、前記第3の導電膜の上面上に前記バリア層を形成するとともに、前記配線の上面上にも該バリア層と同一材料からなる第4の導電膜を形成する工程を含む請求項27に記載の半導体装置の製造方法。

【請求項29】 前記配線を形成する工程の後、さらに、前記配線の表面を覆う配線被覆絶縁膜を形成する工程を含み、前記バリア層を形成する工程において、前記配線の上面の一部の領域上まで延在し、前記配線被覆絶縁膜によって前記配線と電気的に絶縁されるように前記バリア層を形成する請求項27に記載の半導体装置の製造方法。

【請求項30】 メモリ素子を配置するメモリ領域とロジック回路素子を配置するロジック領域が表面内に画定された半導体基板を準備する工程と、前記半導体基板のメモリ領域内に第1のMOSトランジスタを形成し、前記ロジック領域内に第2のMOSトランジスタと導電性領域とを形成する工程と、前記第1のMOSトランジスタのドレイン領域の表面を覆うバリア層、及び前記第2のMOSトランジスタのソース若しくはドレイン領域と前記導電性領域とを接続する局所配線を、共通の成膜及びパターニング処理で形成する工程と、前記バリア層及び前記局所配線を覆うように、前記半導体基板の上に層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記バリア層の上面の少なくとも一部の領域を露出させるコンタクトホールを形成する工程と、前記層間絶縁膜の上に、電荷蓄積電極が、前記コンタクトホールを介して前記導電性部材に接続されたキャパシタを形成する工程とを有する半導体装置の製造方法。

8

【請求項31】 メモリ素子を配置するメモリ領域とロジック回路素子を配置するロジック領域が表面内に画定された半導体基板を準備する工程と、

前記半導体基板のメモリ領域内に第1のMOSトランジスタを形成し、前記ロジック領域内に第2のMOSトランジスタと導電性領域とを形成する工程と、

前記第1及び第2のMOSトランジスタ、及び前記導電性領域を覆うように、前記半導体基板の上に下層層間絶縁膜を形成する工程と、

10 前記下層層間絶縁膜に、前記第1のMOSトランジスタのドレイン領域の表面の少なくとも一部の領域を露出させる第1のコンタクトホール、前記第2のMOSトランジスタのソース若しくはドレイン領域の表面の少なくとも一部の領域を露出させる第2のコンタクトホール、及び前記導電性領域の少なくとも一部の表面を露出させる第3のコンタクトホールを形成する工程と、

前記第1～第3のコンタクトホール内に、それぞれ第1～第3の導電性部材を埋め込む工程と、

20 前記下層層間絶縁膜の上に、前記第1の導電性部材に接続されたバリア層、及び前記第2の導電性部材の上面若しくは第3の導電性部材の上面に接続された第1の配線を、共通の成膜及びパターニング処理で形成する工程と、

前記下層層間絶縁膜の上に、前記バリア層と前記第1の配線を覆うように、上層層間絶縁膜を形成する工程と、前記上層層間絶縁膜に、前記バリア層の少なくとも一部の表面を露出させる第4のコンタクトホール、及び前記第1の配線の少なくとも一部の領域を露出させる第5のコンタクトホールを形成する工程と、

30 前記上層層間絶縁膜の上に、電荷蓄積電極が前記第4のコンタクトホールを介して前記バリア層に接続されたキャパシタを形成する工程とを有する半導体装置の製造方法。

【請求項32】 前記第4及び第5のコンタクトホールを形成する工程の後、該第4及び第5のコンタクトホール内を、それぞれ第4及び第5の導電性部材で埋め込む工程を含み、

前記キャパシタを形成する工程が、

前記上層層間絶縁膜の上に、前記第4の導電性部材に接続された電荷蓄積電極を形成すると共に、該電荷蓄積電極の形成と共通の成膜及びパターニング処理により、前記第5の導電性部材に接続された第2の配線を形成する工程と、

前記電荷蓄積電極を覆う容量絶縁膜を形成する工程と、前記容量絶縁膜を介して前記電荷蓄積電極に対向するプレート電極を形成する工程とを含む請求項31に記載の半導体装置の製造方法。

【請求項33】 前記キャパシタを形成する工程が、前記上層層間絶縁膜の上に、前記第4のコンタクトホールを介して前記バリア層に接続された電荷蓄積電極を形

50

(6)

9

成する工程と、  
前記電荷蓄積電極の表面を覆う容量絶縁膜を形成する工程と、

前記容量絶縁膜を介して前記電荷蓄積電極に対向するプレート電極を形成するとともに、該プレート電極の形成と共通の成膜及びパターンニング処理によって前記第5のコンタクトホールを介して前記第1の配線に接続された第2の配線を形成する工程とを含む請求項31に記載の半導体装置の製造方法。

【請求項34】 メモリ素子を配置するメモリ領域とロジック回路素子を配置するロジック領域が表面内に画定された半導体基板を準備する工程と、

前記半導体基板のメモリ領域内に第1のMOSトランジスタを形成し、前記ロジック領域内に第2のMOSトランジスタと導電性領域とを形成する工程と、

前記第1及び第2のMOSトランジスタ、及び前記導電性領域を覆うように、前記半導体基板の上に下層層間絶縁膜を形成する工程と、

前記下層層間絶縁膜に、前記第1のMOSトランジスタのドレイン領域の表面の少なくとも一部の領域を露出させる第1のコンタクトホール、前記第2のMOSトランジスタのソース若しくはドレイン領域の表面の少なくとも一部の領域を露出させる第2のコンタクトホール、前記導電性領域の少なくとも一部の表面を露出させる第3のコンタクトホール、及び前記第2のMOSトランジスタのソース領域の表面の少なくとも一部を露出させる第4のコンタクトホールを形成する工程と、

前記第1～第4のコンタクトホール内に、それぞれ第1～第4の導電性部材を埋め込む工程と、

前記下層層間絶縁膜の上に、前記第1の導電性部材の上面を覆うバリア層を形成する工程と、

前記下層層間絶縁膜の上に、前記第4の導電性部材に接続されたビット線を形成するとともに、ビット線の形成と共通の成膜及びパターンニング処理によって前記第2の導電性部材若しくは第3の導電性部材の上面に接続された第1の配線を形成する工程と、

前記下層層間絶縁膜の上に、前記バリア層、前記ビット線、及び前記第1の配線を覆うように、上層層間絶縁膜を形成する工程と、

前記上層層間絶縁膜に、前記バリア層の少なくとも一部の表面を露出させる第5のコンタクトホール、及び前記第1の配線の少なくとも一部の領域を露出させる第6のコンタクトホールを形成する工程と、

前記上層層間絶縁膜の上に、電荷蓄積電極が前記第5のコンタクトホールを介して前記バリア層に接続されたキャパシタを形成する工程とを有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びそ

10

の製造方法に関し、特に半導体領域と配線との層間接続部を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】シリコン酸化膜やシリコン酸化膜とシリコン窒化膜との積層膜を容量絶縁膜として用いるダイナミックラム（DRAM）においては、電荷蓄積電極としてポリシリコンが用いられていた。また、（Ba, Sr）TiO<sub>3</sub>（以下、BSTと記す）等の高誘電体薄膜を用いるDRAMや強誘電体薄膜を用いる不揮発性半導体メモリにおいては、電荷蓄積電極として白金、ルテニウム、イリジウム、及びこれらの合金や酸化膜等が用いられている。

【0003】電荷蓄積電極は、その下に配置された層間絶縁膜のコンタクトホール内を埋め込む導電性部材（コンタクトプラグ）を介して、シリコン基板表面のMOSトランジスタのソースまたはドレイン領域に接続され

る。コンタクトプラグは、例えばポリシリコンにより形成される。電荷蓄積電極とコンタクトプラグとの間には、両者の相互拡散を防止するためのバリア層が配置される。

【0004】電荷蓄積電極として白金等を用いるのは、過酷な酸化性雰囲気下で高誘電体膜や強誘電体膜を形成する工程において、電荷蓄積電極が酸化されるのを防止するため、あるいは酸化されても導電性を維持するためである。

【0005】

【発明が解決しようとする課題】バリア層の全表面が、電荷蓄積電極により十分覆われている場合には、誘電体膜の形成時にバリア層が酸化されることはない。しかし、電荷蓄積電極のパターン形成工程において、バリア層と電荷蓄積電極との相対的な位置ずれが生ずると、バリア層が露出したり、バリア層の被覆が不十分になる場合がある。このような場合、誘電体膜の形成中にバリア層が酸化されてしまう。

【0006】コンタクトホールの底部にバリア層を堆積することにより、バリア層の露出を解消できるが、底部にのみバリア層を堆積することは困難である。底部と側面部にバリア層を堆積する構成では、側面部に堆積したバリア層の上端部が露出してしまう場合がある。

【0007】本発明の目的は、バリア層堆積後の酸化性雰囲気中における処理においてもバリア層の酸化を防止できる半導体装置及びその製造方法を提供することである。

【0008】

【従来の技術】DRAM等の半導体メモリ素子と、マイクロプロセッサ等のロジック回路素子とを1チップ上に混載したシステムLSIが注目を集めている。システムLSIにおいては、MOSトランジスタが形成されたシリコン基板上に、まずDRAM等のメモリ素子を形成する。その後、メモリ素子が形成されている層よりも上層



(7)

11

に、ロジック回路を構成する配線を形成する。このような構成とする主な理由は、以下のとおりである。

【0009】DRAMのキャパシタ形成工程は、800～900℃程度の熱処理工程を含む。ロジック回路を構成する配線には、通常アルミニウムが用いられる。アルミニウム配線は、例えば400℃以下の低温工程で形成される。このため、メモリ素子を形成する工程とロジック回路を形成する工程との共通化が困難である。

【0010】また、メモリ素子の電荷蓄積電極やコンタクトプラグ等は、耐熱性の要求から、通常ポリシリコンで形成される。ビット線がキャパシタよりも下層に配置されるキャパシタ・オーバ・ビットライン(COB)構造を採用する場合には、ビット線をWSi等の融点の高い材料で形成する。これに対し、ロジック回路の配線は、信号伝搬遅延を少なくするために、低抵抗のアルミニウムにより形成される。このように、メモリ素子とロジック回路とは、配線等の使用材料が異なるため、製造工程を共通化することが困難である。

【0011】

【発明が解決しようとする課題】メモリ素子とロジック回路の配線とを異なる層に配置する場合には、露光マスクをメモリ素子用とロジック回路用の各々に対して独立に準備する必要がある。露光マスクの枚数が増加すると、露光時の位置ずれが累積し、製品の歩留りの低下につながる。また、配線層及び層間絶縁膜の層数の増加は、工程増に直結し、製造コストの上昇の要因になる。

【0012】さらに、メモリ素子が配置されている層の上にロジック回路の配線を配置すると、ロジック回路部において、シリコン基板表面のMOSトランジスタと配線とを接続するため、コンタクトホールのアスペクト比が大きくなり、コンタクトホールの埋め込みが困難になる。また、コンタクトホール内が十分に埋め込まれたとしても、コンタクトプラグ自体の抵抗値が高くなってしまう。

【0013】本発明の他の目的は、工程増、及びロジック回路の配線抵抗の上昇を抑制することが可能なメモリ素子とロジック回路とを混載した半導体装置及びその製造方法を提供することである。

【0014】

【課題を解決するための手段】本発明の一観点によると、表面に絶縁領域と半導体領域とが表出した基板と、前記基板の表面のうち少なくとも半導体領域の表面上に形成されたバリア層と、前記バリア層を覆うように、前記基板上に形成された第1の層間絶縁膜と、前記第1の層間絶縁膜を貫通し、前記バリア層の外周よりも内側に配置された底面を有する第1のコンタクトホールと、前記第1のコンタクトホール内に埋め込まれた第1の導電性部材とを有し、前記バリア層が、前記半導体領域の組成物と前記第1の導電性部材の組成物との相互拡散を防止し、かつ導電性を有する半導体装置が提供される。

12

【0015】本発明の他の観点によると、表面に絶縁領域と半導体領域とが表出した基板を準備する工程と、前記基板の表面のうち、少なくとも半導体領域の表面を覆う導電性のバリア層を形成する工程と、前記バリア層を覆うように、前記基板の表面上に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜に、前記バリア層の上面の少なくとも一部の領域を露出させる第1のコンタクトホールを形成する工程と、前記第1のコンタクトホール内に埋め込まれた第1の導電性部材を形成する工程とを含み、前記バリア層が、前記半導体領域の組成物と前記第1の導電性部材の組成物との相互拡散を防止する材料で形成されている半導体装置の製造方法が提供される。

【0016】バリア層が、基板の半導体領域中の組成物と第1の導電性部材の組成物との相互拡散及び固相反応を防止するため、両者間の安定な電気的接続を得ることができる。また、バリア層が、第1の層間絶縁膜の上面に露出しない。このため、第1の層間絶縁膜堆積後にその表面を酸化性雰囲気中で処理しても、バリア層が酸化されることを防止できる。

【0017】本発明の他の観点によると、メモリ素子が配置されるメモリ領域と、ロジック回路素子が配置されるロジック領域とが表面内に画定された半導体基板と、前記半導体基板のメモリ領域内に形成された第1のMOSトランジスタと、前記第1のMOSトランジスタのドレイン領域の表面を覆うバリア層と、前記半導体基板のロジック領域内に形成された第2のMOSトランジスタと、前記半導体基板のロジック領域内に形成された導電性領域と、前記第2のMOSトランジスタのソース若しくはドレイン領域と前記導電性領域とを接続する局所配線と、前記バリア層と前記局所配線とを覆うように、前記半導体基板の上に形成された層間絶縁膜と、前記層間絶縁膜を貫通し、前記バリア層の外周よりも内側に配置された底面を有するコンタクトホールと、前記コンタクトホール内に埋め込まれた導電性部材と、前記層間絶縁膜の上に形成され、前記導電性部材に接続された電荷蓄積電極と、前記電荷蓄積電極の表面を覆い、誘電体材料により形成された容量絶縁膜と、前記容量絶縁膜を介して前記電荷蓄積電極に対向するように配置され、前記電荷蓄積電極とともにキャパシタを構成するプレート電極とを有する半導体装置が提供される。

【0018】バリア層と局所配線とを同時に形成することができる。両者を同時に形成することにより、工程数を削減することが可能になる。

【0019】本発明の他の観点によると、メモリ素子が配置されるメモリ領域と、ロジック回路素子が配置されるロジック領域とが表面内に画定された半導体基板と、前記半導体基板のメモリ領域内に形成された第1のMOSトランジスタと、前記半導体基板のロジック領域内に形成された第2のMOSトランジスタと、前記半導体基

(8)

13

板のロジック領域内に形成された導電性領域と、前記第1及び第2のMOSトランジスタ、及び前記導電性領域を覆うように、前記半導体基板の上に形成された下層層間絶縁膜と、前記下層層間絶縁膜を貫通し、前記第1のMOSトランジスタのドレイン領域の表面の少なくとも一部の領域を底面とする第1のコンタクトホールと、前記第1のコンタクトホール内に埋め込まれた第1の導電性部材と、前記下層層間絶縁膜を貫通し、前記第2のMOSトランジスタのソース若しくはドレイン領域の表面の少なくとも一部の領域を底面とする第2のコンタクトホールと、前記第2のコンタクトホール内に埋め込まれた第2の導電性部材と、前記下層層間絶縁膜を貫通し、前記導電性領域の表面の少なくとも一部の領域を底面とする第3のコンタクトホールと、前記第3のコンタクトホール内に埋め込まれた第3の導電性部材と、前記下層層間絶縁膜の上に形成され、前記第1の導電性部材の上面を覆うバリア層と、前記下層層間絶縁膜の上に形成され、前記第2の導電性部材の上面若しくは前記第3の導電性部材の上面に接続された第1の配線と、前記バリア層及び前記第1の配線を覆うように、前記下層層間絶縁膜の上に形成された上層層間絶縁膜と、前記上層層間絶縁膜を貫通し、前記バリア層の外周よりも内側に配置された底面を有する第4のコンタクトホールと、前記第4のコンタクトホール内に埋め込まれた第4の導電性部材と、前記上層層間絶縁膜を貫通し、前記第1の配線の表面の一部の領域を底面とする第5のコンタクトホールと、前記第5のコンタクトホール内に埋め込まれた第5の導電性部材と、前記上層層間絶縁膜の上に形成され、前記第4の導電性部材に接続された電荷蓄積電極と、前記電荷蓄積電極の表面を覆い、誘電体材料により形成された容量絶縁膜と、前記容量絶縁膜を介して前記電荷蓄積電極に対向するように形成され、前記電荷蓄積電極とともにキャパシタを構成するプレート電極と、前記上層層間絶縁膜の上に形成され、前記第5の導電性部材に接続された第2の配線とを有する半導体装置が提供される。

【0020】ロジック領域内において、プレート電極よりも下の層に第1の配線が配置されている。第1の配線がプレート電極よりの上の層に配置されている場合に比べて、第2及び第3のコンタクトホールのアスペクト比を小さくすることができる。

【0021】

【発明の実施の形態】DRAMのメモリセルを例に、本発明の実施例を説明する。

【0022】図1は、本発明の第1の実施例によるDRAMの1つのメモリセルの断面図を示す。シリコン基板1の表面にLOCOS（局所酸化）法によりフィールド酸化膜2が形成されている。フィールド酸化膜2により周囲を画定され、シリコン表面が表出した活性領域に、MOSトランジスタ3が形成されている。MOSトラン

14

ジスタ3は、シリコン表面上にゲート酸化膜3Iを介して形成されたゲート電極3G、ゲート電極3Gの両側のシリコン表面層にそれぞれ画定されたソース領域3S及びドレイン領域3Dを含んで構成される。ゲート電極3Gは、例えばポリシリコンで形成されるか、またはポリシリコンと金属シリサイドとの積層構造（ポリサイド構造）を有する。ゲート電極3Gの上面は上部絶縁膜4で覆われ、側面はサイドウォール絶縁膜5で覆われている。なお、以降の図面では、ソース領域及びドレイン領域の明示を省略している。

【0023】フィールド酸化膜2の上に、図1には現れない他のメモリセルを制御するためのワード線10が形成されている。ワード線10の上面及び側面は、それぞれゲート電極3Gと同様に上部絶縁膜11及びサイドウォール絶縁膜12により覆われている。ワード線10は、例えばゲート電極3Gの形成と同時に形成される。

すなわち、ワード線10は、ポリシリコンにより形成されるか、またはポリサイド構造を有する。

【0024】ドレイン領域3Dの表面をバリア層15が覆っている。バリア層15は、ゲート電極3Gの上面の一部の領域上、及びワード線10の上面の一部の領域上まで延在している。バリア層15とゲート電極3Gとは、上部絶縁膜4及びサイドウォール絶縁膜5により電氣的に絶縁され、バリア層15とワード線10とは、上部絶縁膜11とサイドウォール絶縁膜12により電氣的に絶縁されている。

【0025】バリア層15を覆うように基板表面上に層間絶縁膜16が形成されている。層間絶縁膜16は、例えばSiO<sub>2</sub>、フォスフォシリケートガラス（PSG）、ボロフォスフォシリケートガラス（BPSG）、スピノングラス法により塗布した絶縁材料、またはこれらの積層構造により形成される。層間絶縁膜16には、バリア層15の外周よりも内側に配置された仮想閉曲線に囲まれた領域を底面とするコンタクトホール17が形成されている。コンタクトホール17の内部は、導電性部材18により埋め込まれている。

【0026】導電性部材18の上面に接するように、電荷蓄積電極20が形成されている。電荷蓄積電極20の表面及び層間絶縁膜16の上面を覆うように、誘電体材料からなる容量絶縁膜21が形成されている。容量絶縁膜21の上には、プレート電極22が配置されている。導電性部材18、電荷蓄積電極20、及びプレート電極22は、例えばルテニウム等の耐酸化性物質により形成される。容量絶縁膜21は、BSTにより形成される。

【0027】ゲート電極3Gは、紙面に垂直な方向に延在するワード線を兼ねている。ソース領域3Sは、図1に示す断面以外の断面において図の横方向に延在するビット線に接続されている。なお、ビット線を含む構成例については後に図14等を参照して説明する。なお、ビット線のプリチャージレベルや極性によっては、ソース

領域3Sとドレイン領域3Dの表記を入れ換えた方が適切な場合もある。本明細書では、メモリセルのMOSトランジスタのビット線に接続される不純物拡散領域をソース領域と表記し、キャパシタに接続される不純物拡散領域をドレインと表記する。

【0028】バリア層15は、シリコン基板1内のシリコン原子と導電性部材18内のルテニウム原子との相互拡散や固相反応を防止する。このようにして、シリコンと金属間との電氣的接続の信頼性を高めることができる。また、容量絶縁膜21の堆積時には、バリア層15は層間絶縁膜16及び導電性部材18により覆われている。バリア層15が容量絶縁膜21の堆積中の酸化性雰囲気に直接晒されないため、バリア層15の酸化による導通不良を防止することができる。さらに、コンタクトホール17内を単一の材料で埋め込むため、複数層を堆積する場合に比べて製造工程上有利である。

【0029】次に、図2A～2C、3A及び3Bを参照して、図1に示すメモリセルの作製方法について説明する。

【0030】まず、図2Aまでの工程について説明する。シリコン基板1の表面をLOCOS法により局所酸化し、フィールド酸化膜2を形成する。フィールド酸化膜2に囲まれた活性領域が画定される。この活性領域の表面を熱酸化して、例えば厚さ10nmのSiO<sub>2</sub>膜を形成する。このシリコン酸化膜表面を含む基板全面に、例えばSiH<sub>4</sub>を用いた化学気相堆積(CVD)により、厚さ200nmのポリシリコン膜を堆積する。このポリシリコン膜に不純物を添加し、導電性を付与する。なお、WF<sub>6</sub>とSiH<sub>4</sub>を用いたCVDにより、ポリシリコン膜上にWSi膜を積層してもよい。

【0031】ポリシリコン膜上に、例えばCVDによりSiO<sub>2</sub>膜を堆積する。ポリシリコン膜上のSiO<sub>2</sub>膜をパターンニングし、ゲート電極に対応した上部絶縁膜4とワード線に対応した上部絶縁膜11を残す。上部絶縁膜4及び11をマスクとしてポリシリコン膜を部分的にエッチングし、上部絶縁膜4の下にゲート電極3Gを残し、上部絶縁膜11の下にワード線10を残す。

【0032】ゲート電極3Gの側面上にサイドウォール絶縁膜5を形成し、ワード線10の側面上にサイドウォール絶縁膜12を形成する。サイドウォール絶縁膜5及び12の形成は、例えばCVDにより基板全面に等方的にSiO<sub>2</sub>膜あるいはSi<sub>3</sub>N<sub>4</sub>膜を堆積した後、反応性イオンエッチング(RIE)による異方性エッチングを行って、平坦面上のSiO<sub>2</sub>膜あるいはSi<sub>3</sub>N<sub>4</sub>膜のみを除去することにより行う。このとき、ゲート電極3Gの両側に、シリコン基板1の表面が露出する。シリコンの露出した領域の表面層が、MOSトランジスタ3のソース領域3S及びドレイン領域3Dとなる。なお、イオン注入や不純物拡散等の手法により、ゲート、ソース及びドレインの導電型制御を必要に応じて行う。

【0033】基板全面に、厚さ50nmのTiN膜を堆積する。TiN膜の堆積は、ターゲットとしてTiを用い、ArガスとN<sub>2</sub>ガスをを用いた反応性スパッタリングにより行う。このTiN膜をパターンニングし、バリア層15を残す。バリア層15は、ドレイン領域3Dの表面からゲート電極3Gの上面の一部の領域まで、及びドレイン領域3Dの表面からワード線10の上面の一部の領域までを連続的に覆う。なお、TiN膜を原料ガスとしてTiCl<sub>4</sub>やTi[N(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>とNH<sub>3</sub>との混合ガスをを用いたCVDにより堆積してもよい。

【0034】バリア層15を覆うように、基板全面にSiO<sub>2</sub>からなる厚さ約1000nmの層間絶縁膜16を堆積する。層間絶縁膜16の堆積は、例えばCVDにより行う。なお、SiO<sub>2</sub>の代わりに、PSG、BPSG等、またはSOG法により形成する絶縁物を用いてもよい。

【0035】図2Bに示すように、層間絶縁膜16の表面上に、レジストパターン25を形成する。レジストパターン25は、バリア層15に対応する領域に開口を有する。レジストパターン25をマスクとして層間絶縁膜16をエッチングし、コンタクトホール17を形成する。層間絶縁膜16のエッチングは、バリア層15に対して層間絶縁膜16を選択的にエッチングする条件、例えばCHF<sub>3</sub>を用いたドライエッチングにより行う。コンタクトホール17の底面にバリア層15の表面の一部の領域が露出する。露出した領域の外周を画定する仮想閉曲線が、バリア層15の外周よりも内側に配置されるように、レジストパターン25に開口が形成されている。コンタクトホール17の形成後、レジストパターン25を除去する。

【0036】図2Cに示すように、コンタクトホール17内に、ルテニウムからなる導電性部材18を埋め込む。導電性部材18の埋め込みは、例えば、トリスブテトラメチルヘプタジジオナートルテニウムを原料としたCVDにより基板全面にルテニウム膜を堆積した後、化学的機械研磨(CMP)により余分なルテニウム膜を除去することにより行う。導電性部材18の上面と層間絶縁膜16の上面とにより、共平面が画定される。

【0037】なお、ルテニウム膜をスパッタリングにより堆積してもよい。スパッタリングを用いる場合には、コリメートスパッタリング、遠距離スパッタリング、あるいはイオン化スパッタリング等により、スパッタリングされた粒子の進行方向を揃えることが好ましい。このようなスパッタリングにより、微細なコンタクトホールの内部を再現性良く埋め込むことができる。また、化学的機械研磨を行う代わりに、ルテニウム膜をその表面がほぼ平坦になるまで堆積し、全面エッチバックを行ってもよい。

【0038】また、ルテニウム膜がTiNからなるバリア層15上にのみ成長し、層間絶縁膜16上には成長し

(10)

17

ない条件が見出せれば、この条件でルテニウム膜を選択成長させてもよい。この方法によると、余分なルテニウム膜のCMPによる除去、及びエッチバックを行うことなく、コンタクトホール17内のみ導電性部材18を埋め込むことができる。

【0039】図3Aに示すように、層間絶縁膜16及び導電性部材18の上面に、例えばスパッタリングにより厚さ500nmのルテニウム膜20aを堆積する。ルテニウム膜20aの上面のうち、コンタクトホール17に対応する領域及びその周辺の領域上に、SiO<sub>2</sub>、SiN、TiN等からなるハードマスクパターン26を形成する。なお、図2Cの工程でコンタクトホール17内をルテニウムで埋め込み、連続して図3Aのルテニウム膜20aを堆積してもよい。

【0040】図3Bに示すように、ハードマスクパターン26を利用してルテニウム膜20aを部分的にエッチングし、電荷蓄積電極20を残す。ルテニウム膜20aのエッチングは、層間絶縁膜16に対してルテニウム膜20aを選択的にエッチングする条件、例えばCl<sub>2</sub>とO<sub>2</sub>とを1対1に混合したガスを用いたドライエッチングにより行う。電荷蓄積電極20を形成後、ハードマスク26を除去する。

【0041】その後、基板全面に図1に示す容量絶縁膜21とプレート電極22をこの順番に堆積することにより、DRAMのメモリセルが得られる。容量絶縁膜21の堆積は、例えばビスーテトラメチルヘプタンジオナトーストロンチウム(Sr(THD)<sub>2</sub>)、ビスーテトラメチルヘプタンジオナトバリウム(Ba(THD)<sub>2</sub>)、ビスーイソプロポキシビスーテトラメチルヘプタンジオナトチタン(Ti(O-iPr)<sub>2</sub>(THD)<sub>2</sub>)を用いたCVDにより行う。プレート電極22の堆積は、例えばトリスーテトラメチルヘプタンジオナトルテニウム(Ru(THD)<sub>3</sub>)を用いたCVDにより行う。

【0042】上記第1の実施例では、図3Bまでの工程後の容量絶縁膜21の堆積時に、基板表面には層間絶縁膜16と、耐酸化性の電荷蓄積電極20のみが露出している。バリア層15は層間絶縁膜16、導電性部材18、及び電荷蓄積電極20により覆われ、表面に露出しない。このため、容量絶縁膜21の堆積中にバリア層15が酸化されることを防止できる。

【0043】図1では、容量絶縁膜21が電荷蓄積電極20に比べて相対的に薄い場合を示した。電荷蓄積電極20を薄くし、容量絶縁膜21を厚くして、容量絶縁膜21の上面がほぼ平坦になるようにしてもよい。

【0044】図4Aは、電荷蓄積電極20を薄くした場合のメモリセルを示す。図4Aのメモリセルの各構成部分には、図1の対応する構成部分と同一の参照符号が付されている。強誘電体メモリの場合に、特に電荷蓄積電極20を薄くし、容量絶縁膜21の上面を平坦化するこ

18

とが好ましい。なお、容量絶縁膜21を堆積した後、表面の平坦化処理を行ってもよい。

【0045】また、図1～図3Bでは、バリア層15が、その両側のゲート電極3Gとワード線10の各々の上面の一部の領域上まで延在する場合を示したが、必ずしもバリア層15とゲート電極3G、バリア層15とワード線10を重ねて配置する必要はない。少なくともドレイン領域3Dと導電性部材18との間にバリア層15が配置されていればよい。ただし、バリア層15をコンタクトホール17形成時のエッチング停止層として用いる場合には、位置合わせ誤差を考慮してバリア層15をゲート電極3G及びワード線10の一部と重ねて配置することが好ましい。

【0046】図4Bは、コンタクトホール17を形成するためのフォトリソグラフィ時に、位置合わせ誤差が生じた場合のメモリセルを示す。図4Bのメモリセルの各構成部分には、図1の対応する構成部分と同一の参照符号が付されている。図4Bに示すように、バリア層15をゲート電極3G及びワード線10の一部と重ねて配置することにより、バリア層15がエッチングストップ層として働き、位置合わせ誤差が生じたときのプラグ18とゲート電極3Gもしくはワード線10との短絡を回避することができる。

【0047】次に、図5～7Bを参照して、本発明の第2の実施例について説明する。図5は、第2の実施例によるDRAMの1つのメモリセルの断面図を示す。層間絶縁膜16及びそれよりも下層の構成は、図1に示す第1の実施例の場合とほぼ同様であり、コンタクトホール17の太さのみが異なる。図1では、コンタクトホール17の底面が、ゲート電極3Gのサイドウォール絶縁膜5及びワード線10のサイドウォール絶縁膜12に重なっている場合を示し、図5では重なっていない場合を示している。なお、第2の実施例において、図1のようにコンタクトホール17を太くしてもよいし、第1の実施例において、図5のようにコンタクトホール17を細くしてもよい。図5のメモリセルの各構成部分には、図1のメモリセルの対応する構成部分と同一の参照符号が付されている。

【0048】図1の電荷蓄積電極20は直方体状であるが、図5の電荷蓄積電極30は、導電性部材18の上面及びその周囲の層間絶縁膜16の上面に密着する底面部30Aと、筒状の側面部30Bから構成される。側面部30Bは、底面部30Aにその外周において結合する。

【0049】電荷蓄積電極30の表面及び層間絶縁膜16の上面を覆うように、容量絶縁膜31が形成されている。容量絶縁膜31の表面は、プレート電極32により覆われている。電荷蓄積電極30、容量絶縁膜31、及びプレート電極32は、それぞれ図1に示す電荷蓄積電極20、容量絶縁膜21、及びプレート電極22と同様の材料で形成される。

【0050】次に、図6A～図7Bを参照して、図5に示すメモリの作製方法について説明する。図2Cに示す工程までは、第1の実施例の場合と同様である。

【0051】図6Aに示すように、層間絶縁膜16及び導電性部材18の上面に、CVDにより厚さ50nmのシリコン窒化膜35、厚さ500nmのシリコン酸化膜36を堆積する。シリコン酸化膜36の表面上に、レジストパターン37を形成する。レジストパターン37には、コンタクトホール17に対応する位置に、コンタクトホール17の開口部よりも大きな開口が形成されている。

【0052】レジストパターン37をマスクとして、シリコン酸化膜36をエッチングし、貫通孔38を形成する。シリコン酸化膜36のエッチングは、シリコン窒化膜35に対してシリコン酸化膜36を選択的にエッチングする条件で行う。例えば、 $C_4F_8$ とCOを用いた、ドライエッチングにより行う。

【0053】続いて、貫通孔38の底面に露出したシリコン窒化膜35をエッチングし、貫通孔38の底面に層間絶縁膜16と導電性部材18の上面を露出させる。シリコン窒化膜35のエッチングは、層間絶縁膜16及び導電性部材18に対してシリコン窒化膜35を選択的にエッチングする条件で行う。例えば、 $NF_3$ と $Cl_2$ とを5対3に混合したガスを用いた、ドライエッチングにより行う。

【0054】貫通孔38の形成後、レジストパターン37を除去する。図6Bに示すように、シリコン酸化膜36の上面及び貫通孔38の底面と側面上に、CVD等により厚さ60nmのルテニウム膜30aを堆積する。ルテニウム膜30aの表面上にレジスト材料からなる充填材39を堆積し、貫通孔38内を埋め込む。なお、充填材39を、ポリイミド、PSG、BPSG、SOGによる絶縁材、ポリシリコン、アモルファスシリコン、シリコン酸化膜等により形成してもよい。

【0055】図7Aに示すように、充填材39の上面から化学的機械研磨を行い、シリコン酸化膜36の上面が露出した時点で研磨を停止する。貫通孔38内にはのみルテニウムからなる電荷蓄積電極30と充填材39が残る。電荷蓄積電極30は、貫通孔38の底面に密着した底面部30Aと、側面に密着した側面部30Bから構成される。なお、化学的機械研磨の代わりに、エッチバックを用いてもよい。

【0056】その後、充填材39、シリコン酸化膜36、及びシリコン窒化膜35を除去する。シリコン酸化膜36の除去は、シリコン窒化膜35に対してシリコン酸化膜36を選択的にエッチングする条件で行う。シリコン窒化膜35の除去は、層間絶縁膜16に対してシリコン窒化膜35を選択的にエッチングする条件で行う。

【0057】図7Bは、充填材39、シリコン酸化膜36、及びシリコン窒化膜35を除去した後の状態を示

す。電荷蓄積電極30を覆うように、層間絶縁膜16の上に図5に示す容量絶縁膜31とプレート電極32を堆積する。なお、シリコン窒化膜35をそのまま残しておいてもよい。

【0058】図5に示すメモリセルでは、図1の場合と比べて電荷蓄積電極30とプレート電極32との対向面積が大きい。このため、より大きな静電容量を確保することができる。また、図7Aの工程の後、充填材39を電荷蓄積電極30に対して選択的に除去することにより、貫通孔38内をルテニウムで埋め込み、埋め込み部に凹部を形成する場合に比べて、電荷蓄積電極30の内面を精度良く加工することができる。同様に、シリコン酸化膜36を電荷蓄積電極30に対して選択的に除去することにより、厚いルテニウム膜をパターンニングする場合に比べて、電荷蓄積電極30の外表面を精度良く加工することができる。

【0059】次に、図8～図10を参照して、本発明の第3の実施例について説明する。図8は、第3の実施例によるメモリセルの断面図を示す。図1に示すメモリセルの導電性部材18と電荷蓄積電極20とが、両者を一体化した導電性部材40に置き換えられている。層間絶縁膜16に形成されたコンタクトホール45は、図1のコンタクトホール17よりも太い。その他の構成は、図1に示すメモリセルと同様である。図8のメモリセルの各構成部分には、図1のメモリセルの対応する構成部分と同一の参照符号が付されている。

【0060】次に、図9A～図10を参照して、図8に示すメモリセルの作製方法について説明する。図2Aに示す工程までは、第1の実施例の場合と同様である。

【0061】図9Aに示すように、層間絶縁膜16の上に、厚さ50nmのシリコン窒化膜41、厚さ500nmのシリコン酸化膜42を堆積する。シリコン酸化膜42の表面上にレジストパターン43を形成する。レジストパターン43には、バリア層15に対応する位置に開口が形成されている。この開口をバリア層15の表面に垂直投影した像は、バリア層15の表面領域に内包される。

【0062】レジストパターン43をマスクとして、シリコン酸化膜42、シリコン窒化膜41及び層間絶縁膜16をエッチングし、コンタクトホール45を形成する。コンタクトホール45の底面にバリア層15の表面の一部の領域が露出する。コンタクトホール45を形成後、レジストパターン43を除去する。

【0063】図9Bに示すように、コンタクトホール45の内部を埋め込むように、CVD等によりルテニウム膜40aを堆積する。ルテニウム膜40aを、シリコン酸化膜42の上面が露出するまで化学的機械研磨する。その後、シリコン酸化膜42とシリコン窒化膜41を除去する。

【0064】図10は、シリコン窒化膜41を除去した

(12)

21

後の断面図を示す。上端が層間絶縁膜16の上面よりも突出した導電性部材40が形成される。導電性部材40の突出部を覆うように、層間絶縁膜16の上に図8に示す容量絶縁膜21及びプレート電極22を堆積する。なお、図9Bに示すシリコン窒化膜41を残したままにしておいてもよい。

【0065】第3の実施例では、コンタクトホール45内を埋め込む導電性部材40が電荷蓄積電極を兼ねるため、電荷蓄積電極とコンタクトホール45との位置ずれを防止できるとともに、電荷蓄積電極の剥がれや倒れ等が生じにくくなる。また、電荷蓄積電極を形成するための独立した工程がないため、工程数を削減することができる。

【0066】また、図9Bに示す工程の後、シリコン酸化膜42を除去する際に、シリコン窒化膜41がエッチング停止層として作用する。このため、シリコン酸化膜42の厚さを調節することにより、導電性部材40の突出部の高さを精度良く加工することができる。

【0067】次に、図11A及び11Bを参照して、第4の実施例について説明する。第4の実施例のメモリセルは、図5に示す第2の実施例のメモリセルの導電性部材18と電荷蓄積電極30とを一体化して形成したものであり、その他は同様の構成である。以下、作製方法を説明する。図2Aに示す層間絶縁膜16の堆積までは、第1の実施例の場合と同様である。

【0068】図11Aに示すように、層間絶縁膜16の上に、厚さ50nmのシリコン窒化膜51を堆積する。シリコン窒化膜51のバリア層15に対応する位置に開口53を形成する。開口53を形成したシリコン窒化膜51の上に、厚さ500nmのシリコン酸化膜52を堆積する。シリコン酸化膜52に、開口53に連通する貫通孔54を形成する。貫通孔54の底面に、開口53及びその周囲のシリコン窒化膜51の表面が露出する。続いて、シリコン窒化膜51をマスクとし、開口53を通して層間絶縁膜16をエッチングし、コンタクトホール17を形成する。

【0069】図11Bに示すように、コンタクトホール17の内部を埋め込み、かつ貫通孔54の底面及び側面上及びシリコン酸化膜52の上面上に、CVD等によりルテニウム膜55を堆積する。ルテニウム膜55の厚さは、コンタクトホール17が完全に埋め込まれ、貫通孔54内は完全には埋め込まれない程度の厚さとする。ルテニウム膜55の上に、レジスト等からなる充填材56を堆積する。貫通孔54内が充填材56で埋め込まれる。このようにして、第2の実施例の図6Bと同様の構成が得られる。図7A及び7Bと同様の工程を経て、図5に示すメモリセルが得られる。

【0070】次に、図12、図13A及び13Bを参照して、第5の実施例について説明する。

【0071】図12は、第5の実施例によるメモリセル

22

の断面図を示す。シリコン基板1、フィールド酸化膜2、MOSトランジスタ3、ワード線10、上部絶縁膜4、11、及びサイドウォール絶縁膜5、12の構成は、図1に示す第1の実施例の場合と同様である。

【0072】MOSトランジスタ3及びワード線10が形成された基板上に、 $\text{SiO}_2$  からなる1層目の層間絶縁膜60が形成されている。層間絶縁膜60に、MOSトランジスタ3のドレイン領域3Dの表面の一部を露出させるコンタクトホール61が形成され、その内部に、例えばポリシリコンからなる導電性部材62が埋め込まれている。

【0073】導電性部材62の上面に密着するようにTiNからなるバリア層63が形成されている。バリア層63を覆うように、層間絶縁膜60の上に $\text{SiO}_2$  からなる2層目の層間絶縁膜65が形成されている。2層目の層間絶縁膜65に、バリア層63の表面の一部を露出させるコンタクトホール66が形成されている。コンタクトホール66の内部は、ルテニウムからなる導電性部材67で埋め込まれている。

【0074】導電性部材67の上面及び層間絶縁膜65の上面上に、図1に示す電荷蓄積電極20、容量絶縁膜21、及びプレート電極22と同様の構成を有する電荷蓄積電極70、容量絶縁膜71、及びプレート電極72が形成されている。

【0075】次に、図13A及び13Bを参照して、図12に示すメモリセルの作製方法について説明する。

【0076】まず、図13Aまでの工程について説明する。図2Aで説明したように、シリコン基板1上に、フィールド酸化膜2、MOSトランジスタ3、ワード線10、上部絶縁膜4、11、及びサイドウォール絶縁膜5、12を形成する。この基板上に、図2Aの層間絶縁膜16と同様の方法で層間絶縁膜60を形成する。図2Aの構成とは異なり、MOSトランジスタ3のドレイン領域3Dはバリア層で覆われていない。なお、層間絶縁膜60を堆積する前に、基板全面を薄いSiN膜で覆い、このSiN膜をエッチングストップとしてもよい。

【0077】層間絶縁膜60に、ドレイン領域3Dの表面の一部を露出させるコンタクトホール61を形成する。コンタクトホール61内にポリシリコンを埋め込み、導電性部材62を形成する。導電性部材62の形成は、コンタクトホール61内を埋め込むポリシリコン膜をCVDにより堆積し、層間絶縁膜60上の余分なポリシリコン膜を例えば化学的機械研磨を用いて除去することにより行う。

【0078】層間絶縁膜60及び導電性部材62の上面上に、スパッタリングにより厚さ50nmのTiN膜を堆積する。このTiN膜をパターンニングし、導電性部材62の上面及びその周囲の層間絶縁膜60の上面上にバリア層63を残す。バリア層63を覆うように、層間絶縁膜60の上に $\text{SiO}_2$  からなる厚さ500nmの2層

(13)

23

目の層間絶縁膜65をCVDにより堆積する。

【0079】図13Bに示すように、層間絶縁膜65に、バリア層63の表面の一部を露出させるコンタクトホール66を形成する。コンタクトホール66内に、ルテニウムからなる導電性部材67を埋め込む。ルテニウムの埋め込みは、図2Cの導電性部材18の形成と同様の方法で行う。導電性部材67の上面及びその周囲の層間絶縁膜65の上面上に、ルテニウムからなる電荷蓄積電極70を形成する。電荷蓄積電極70の形成は、図3Bの電荷蓄積電極20の形成と同様の方法で行う。その後、図12に示す容量絶縁膜71及びプレート電極72を堆積する。

【0080】図12のメモリセルでは、ポリシリコンからなる導電性部材62とルテニウムからなる導電性部材67との間にバリア層63が配置されているため、両者の間の相互拡散や固相反応を防止することができる。また、酸化性雰囲気中で容量絶縁膜71を堆積する際に、バリア層63が露出しないため、バリア層63の酸化を防止することができる。

【0081】また、MOSトランジスタ3と電荷蓄積電極70との間が2層の層間絶縁膜60と65で分離されており、各層間絶縁膜ごとにコンタクトホールが形成される。このため、1つのコンタクトホールを用いる場合に比べて各々のコンタクトホールを浅くでき、コンタクトホール内の埋め込みが容易になる。

【0082】図12において、バリア層63を、同一層内で隣り合う他のパターンと接触しない範囲でなるべく大きくすることにより、コンタクトホール66を形成する際に、より大きな位置合わせマージンを確保することができる。また、バリア層63の大きさに対応させてコンタクトホール66を太くしてもよい。コンタクトホール66を太くすることにより、加工精度に対する要求が緩和され、歩留りを向上させることが可能になる。さらに、バリア層63と電荷蓄積電極70との間の接続抵抗を減少させることができる。

【0083】図12では、電荷蓄積電極70、容量絶縁膜71、及びプレート電極72を、図1に示す第1の実施例の場合と同様の構成としたが、図5に示す第2の実施例、図8に示す第3の実施例と同様の構成としてもよい。また、図5に示す第2の実施例と同様の構成とする場合、図11A及び11Bで説明した第4の実施例と同様の方法で、導電性部材67と電荷蓄積電極70を形成してもよい。

【0084】次に、図14を参照して、第6の実施例について説明する。図14は、第6の実施例によるメモリセルの断面図を示す。以下、図12に示す第5の実施例によるメモリセルとの相違点について説明する。

【0085】層間絶縁膜60に、MOSトランジスタ3のソース領域3Sに対応したコンタクトホール82が形成されている。コンタクトホール82内は、例えばポリ

24

シリコン、WSi、W等からなる導電性部材83により埋め込まれている。層間絶縁膜60と層間絶縁膜65との間に、導電性部材83に接続されたビット線81が配置されている。ビット線81は、厚さ300nmのWSi層81Aとその上に形成された厚さ50nmのTiN層81Bとの積層構造を有し、図14に示す断面以外の位置で図の横方向に延在している。なお、ビット線81、コンタクトホール82および導電性部材83が図14に示す断面上になくともよい。

【0086】導電性部材62と67の間には、WSi層80AとTiN層80Bとが配置され、TiN層80Bがバリア層として作用する。その他の構成は、図12に示す第5の実施例の場合と同様である。

【0087】図14に示す構造は、第5の実施例の図13Aに示す工程においてバリア層63を形成する代わりに、WSi層とTiN層を積層し、この積層構造をパターンニングすることにより形成される。この方法では、バリア層80とビット線81とを同時に形成することができる。バリア層とビット線とを同一工程でパターンニングできるため、両者のパターン間の位置合わせマージンを確保する必要がない。このため、原理的には、両者を露光工程における最小加工寸法まで接近させることが可能であり、ビット線を太くして低抵抗化を図ったり、バリア層の面積を大きくして導電性部材62及び67とバリア層80との間の位置合わせマージンを大きく確保することができる。

【0088】図15は、第7の実施例によるメモリセルの断面図を示す。このメモリセルは、図14に示す第6の実施例によるメモリセルと比べて、ビット線とバリア層の構造が異なる。その他の構成は、図14に示す第6の実施例の場合と同様である。

【0089】第7の実施例によるメモリセルでは、ビット線90がW層やWSi層等で構成されている。このビット線90の表面は、ビット線被覆絶縁膜91により覆われている。導電性部材62と67の間には、TiNからなるバリア層92が配置されている。なお、ビット線90、ビット線被覆絶縁膜91、コンタクトホール82および導電性部材83が図15に示す断面上になくともよい。

【0090】図16A及び16Bは、図15に示す第7の実施例によるDRAMのメモリセル部分の平面配置を示す。図17は、図16B中の一点鎖線A-A'-B-B'-Cにおける断面図を示す。

【0091】図16Aは、図15の層間絶縁膜60の上面よりも下方の配置を示す。複数のワード線10が図の縦方向に延在している。活性領域95が、ワード線10を横切るように配置されている。各活性領域95は、相互に隣接する2本のワード線10を横切る領域95Aと、2つの領域95Aを連結する領域95Bから構成される。各領域95Aに1つのMOSトランジスタが配置



(14)

25

される。領域95Aのうちワード線10よりも領域95B側の部分がソース領域3Sとなり、その反対側がドレイン領域3Dとなる。

【0092】領域95Bに、ソース領域3Sと図15に示すビット線とを接続するためのコンタクトホール82が配置されている。ドレイン領域3Dに、図15のバリア層92と接続するためのコンタクトホール61が配置されている。

【0093】図16Bは、図15の電荷蓄積電極70よりも下方の配置を示す。各コンタクトホール82に対応する位置に、図の横方向に延在するビット線90が配置されている。コンタクトホール61を内包する領域にバリア層92が配置されている。さらに、バリア層92と重なる領域に電荷蓄積電極70が配置されている。図17において、メモリセルの全構成要素を明示するには、一点鎖線A-A'-B-B'-Cのごとく複雑な切断線を要する。図17の各構成部分には、図15のメモリセルの対応する構成部分と同一の参照符号を付している。図17の断面図により、メモリセルの構成の理解が容易になるであろう。

【0094】以下に、図18A~18Cを参照して、図15に示すメモリセルの作成方法について説明する。

【0095】まず、図18Aまでの工程について説明する。図13Aで説明したのと同様の工程を経て、図18Aに示す基板を作製する。ここで、図13Aと図18Aとの相違点は、図13Aにおけるバリア層63及び層間絶縁膜65が図18Aにおいては未形成である点と、以後の工程にてビット線に接続される導電性部材83およびコンタクトホール82が図18A中に明示されている点であり、図14の層間絶縁膜60の上面以下の構成と同様である。コンタクトホール61とコンタクトホール82とを同時に形成してもよく、導電性部材62と導電性部材83とを同時に形成してもよい。これにより、工程数の削減が可能となる。

【0096】図18Bまでの工程について説明する。層間絶縁膜60の上に、例えばCVDにより厚さ200nmのWSi層を堆積し、続いてCVDにより厚さ50nmのシリコン窒化膜を堆積する。このシリコン窒化膜の上にレジストパターンを形成し、このレジストパターンをマスクとして、シリコン窒化膜およびWSi層を部分的にエッチングし、上部絶縁膜91Aおよびビット線90を形成する。続いて、レジストパターンを除去する。

【0097】上部絶縁膜91Aおよびビット線90を覆うように、CVDによりシリコン窒化膜を堆積した後、異方性エッチングによりビット線90の側面上にシリコン窒化膜を残し、サイドウォール絶縁膜91Bを形成する。このようにして、上部絶縁膜91Aおよびサイドウォール絶縁膜91Bからなるビット線被覆絶縁膜91を形成する。

【0098】図18Cまでの工程について説明する。基

26

板全面に、例えばCVDにより厚さ50nmのTiN膜を堆積する。このTiN膜の表面上にレジストパターンを形成し、このレジストパターンをマスクとしてTiN膜をエッチングし、対応するメモリセルの導電性部材62と電気的に接続されたバリア層92を形成する。

【0099】以後、図12及び13に示す第5の実施例と同様の工程を経て、層間絶縁膜65、コンタクトホール66、導電性部材67、電荷蓄積電極70、容量絶縁膜71、プレート電極72を形成する。

10 【0100】図15に示すように、ビット線90の表面がビット線被覆絶縁膜91で覆われているため、バリア層92とビット線90との位置合わせずれが生じても、両者間の短絡を防止できる。さらには、ビット線90とバリア層92とを重ねて配置することもできる。両者を重ねて配置することにより、バリア層92の占める面積を大きくすることが可能になる。バリア層92の面積を大きくすると、コンタクトホール67の形成時に大きな位置合わせマージンを確保することができる。また、コンタクトホール67を太くすることも可能であり、これによりコンタクトホール67の埋め込みが容易になり、さらに、バリア層92と電荷蓄積電極70との接続抵抗を減少させることができる。

【0101】図19は、第7の実施例の第1の変形例によるメモリセルの断面図を示す。導電性部材62の上に直接バリア層を配置するのではなく、ビット線90による段差部をポリシリコン等の導電材96で埋め込んでいる。バリア層92は、導電材96の上に配置される。

【0102】次に、図20A及び20Bを参照して、図19に示すメモリセルの作成方法について説明する。

30 【0103】図18Bに示す工程までは、第7の実施例と同様である。図20Aまでの工程について説明する。基板全面に、例えばポリシリコン膜をCVDにより堆積し、ビット線被覆絶縁膜91の上面と層間絶縁膜65の上面とにより画定される段差を埋め込む。このポリシリコン膜の表面を、例えばエッチバックやCMPにより平坦化し、上部導電性部材96を得る。なお、段差を埋め込んだ段階で表面凹凸が充分小さければ、平坦化工程を省略してもよい。

40 【0104】図20Bまでの工程について説明する。基板全面に、例えばスパッタリングにより厚さ50nmのTiN膜を堆積する。このTiN膜の表面上に、レジストパターンを形成する。このレジストパターンをマスクとして、TiN膜をエッチングする。レジストパターンを除去して、対応するメモリセルの導電性部材62と電気的に接続されたバリア層92を形成する。なお、バリア層92は、導電性部材96の上面より広くしてもよい。

【0105】以後、図12及び13に示す第5の実施例と同様の工程を経て、層間絶縁膜65、コンタクトホール66、導電性部材67、電荷蓄積電極70、容量絶縁



膜71、プレート電極72を形成する。

【0106】図21は、第7の実施例の第2の変形例によるメモリの断面図を示す。第2の変形例では、ビット線90による段差部をシリコン酸化膜等の絶縁材97で埋め込んでいる。コンタクトホール99が層間絶縁膜60から絶縁材97まで貫通し、バリア層92が絶縁材97の上に配置される。

【0107】次に、図22A～22Cを参照して、図21に示すメモリの作成方法について説明する。

【0108】まず、図22Aまでの工程について説明する。図18Bで説明したのと同様の工程を経て、図22Aに示す基板を作製する。ここで、図22Aと図18Bとの相違点は、図22Aにおいては、図18Bのコンタクトホール61及び導電性部材62が未形成である点のみである。

【0109】図22Bまでの工程について説明する。基板全面に、 $\text{SiO}_2$ 膜をCVDに塗布法より堆積し、ビット線被覆絶縁膜91の上面と層間絶縁膜60の上面とにより画定される段差を埋め込む。この $\text{SiO}_2$ 膜の表面を、例えばエッチバックやCMPにより平坦化し、絶縁材97を残す。なお、段差を埋め込んだ段階で表面凹凸が十分小さければ、平坦化工程を省略してもよい。さらに、レジストパターンをマスクとして絶縁材97と層間絶縁膜60をエッチングし、コンタクトホール99を形成する。コンタクトホール99を形成後、レジストパターンを除去する。

【0110】図22Cまでの工程について説明する。基板全面にポリシリコン膜をCVDにより堆積してコンタクトホール99を埋め込む。このポリシリコン膜の表面上に、例えばスパッタリングにより厚さ50nmのTiN膜を堆積する。なお、ポリシリコン膜を堆積した後、例えばエッチバックやCMPにより表面を平坦化し、プラグ状に成形しておいてもよい。図21は、ポリシリコン膜をプラグ状にした場合を示している。

【0111】TiN膜の表面上にレジストパターンを形成し、このレジストパターンをマスクとしてTiN膜とポリシリコン膜をエッチングし、ポリシリコンからなる導電性部材62とTiNからなるバリア層92を残す。その後、レジストパターンを除去する。

【0112】以後、図12及び13に示す第5の実施例と同様の工程を経て、層間絶縁膜65、コンタクトホール66、導電性部材67、電荷蓄積電極70、容量絶縁膜71、プレート電極72を形成する。

【0113】図23は、第7の実施例の第3の変形例によるメモリの断面図を示す。図23に示す第3の変形例においては、バリア層92がビット線90の上を覆わない。

【0114】次に、図24A及び24Bを参照して、図23に示すメモリの作成方法について説明する。図18Aに示す工程までは、第7の実施例と同様である。

【0115】図24Aまでの工程について説明する。基板全面に、例えばスパッタリングにより厚さ50nmのTiN膜を堆積し、続いてCVDにより厚さ50nmの $\text{SiO}_2$ 膜を堆積する。この $\text{SiO}_2$ 膜上に形成したレジストパターンをマスクとして、 $\text{SiO}_2$ 膜およびTiN膜を部分的にエッチングし、上部絶縁膜98Aおよびバリア層92を形成する。その後、レジストパターンを除去する。上部絶縁膜98Aおよびバリア層92を覆うように、CVDにより $\text{SiO}_2$ 膜を等方的に堆積した後、異方性エッチングによりバリア層92の側面上に $\text{SiO}_2$ 膜を残し、サイドウォール絶縁膜98Bを形成する。このようにして、上部絶縁膜98Aおよびサイドウォール絶縁膜98Bからなるバリア層被覆絶縁膜98を形成する。

【0116】図24Bまでの工程について説明する。基板全面に、例えばCVDにより厚さ200nmのWSi膜を堆積し、続いてCVDにより厚さ50nmのSiN膜を堆積する。このSiN膜上にレジストパターンを形成し、このレジストパターンをマスクとして、SiN膜およびWSi膜を部分的にエッチングし、上部絶縁膜91Aおよびビット線90を形成する。その後、レジストパターンを除去する。上部絶縁膜91Aおよびビット線90を覆うように、CVDによりSiN膜を堆積した後、異方性エッチングによりビット線90の側面上にSiN膜を残し、サイドウォール絶縁膜91Bを形成する。このようにして、上部絶縁膜91Aおよびサイドウォール絶縁膜91Bからなるビット線被覆絶縁膜91を形成する。

【0117】以後、図12及び13に示す第5の実施例と同様の工程を経て、層間絶縁膜65、コンタクトホール66、導電性部材67、電荷蓄積電極70、容量絶縁膜71、プレート電極72を形成する。なお、図23のコンタクトホール66を形成する工程において、ビット線90と導電性部材67との短絡を防止するのに十分な位置合わせマージンが得られる場合には、ビット線被覆絶縁膜91の形成を省略してもよい。

【0118】図19及び21に示した第1及び第2の変形例においては、バリア層92を堆積する下地表面をほぼ平坦にすることができる。また、図23に示した第3の変形例においては、バリア層92を堆積する下地表面の段差を緩和することができる。このため、バリア層92を形成するためのパターニングを容易に行うことができる。

【0119】上記第1～第7の実施例では、LOCOS法により作製したフィールド酸化膜を用いて素子分離を行う場合を示したが、その他の方法で素子分離を行ってもよい。例えば、シリコン基板の表面に溝を形成し、その内部に絶縁材料を埋め込むトレンチ分離を用いてもよい。

【0120】また、バリア層をTiNで形成する場合を

説明したが、その上面と下面に接する2種類の材料の相互拡散及び固相反応を抑制できる材料であれば、その他の材料を用いてもよい。例えば、窒化タングステン(WN)、窒化タンタル(TaN)等で形成してもよい。さらに、少なくとも表面がバリア層として作用し、かつ導電性を有する積層構造としてもよい。例えば、TiNとTiとの積層構造、TiNとTiとポリシリコンもしくはアモルファスシリコンとの積層構造、またはTiNとTiとWとの積層構造としてもよい。積層構造とすることで、下地表面との密着性向上や低抵抗化を図ることができる。

【0121】また、電荷蓄積電極、プレート電極、及び電荷蓄積電極下のコンタクトホール内を埋め込む導電性部材としてルテニウムを用いた場合を説明したが、その他の耐酸化性材料を用いてもよい。例えば、白金、イリジウム、もしくはこれらの合金、または酸化物導電材料、酸化ルテニウム、酸化イリジウム、 $\text{SrRuO}_3$ 、 $(\text{La}_{1-x}\text{Sr}_x)\text{CoO}_3$ 等を用いてもよい。なお、コンタクトホールを埋め込む導電性部材をバリア層の材料よりも酸化されにくい材料で形成することが好ましい。

【0122】また、容量絶縁膜としてBSTを用いた場合を説明したが、その他の高誘電体材料、強誘電体材料を用いてもよい。強誘電体材料を用いることにより、不揮発性メモリを実現できる。高誘電体材料の例としては、例えば、 $\text{SrTiO}_3$ 、 $\text{Ta}_2\text{O}_5$ 等があげられ、強誘電体材料の例としては、例えば、 $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaTiO}_3$ 、 $\text{BiTiO}_3$ 等があげられる。

【0123】上記第1～第7の実施例では、メモリセル部に着目して、その構造及び製造方法を説明した。次に、メモリ素子とロジック回路とを混載した半導体装置に関する第8～第12の実施例について説明する。

【0124】図25は、第8の実施例による半導体装置の断面図を示す。図8の左半分がメモリ領域Mを表し、右半分がロジック領域Lを表す。メモリ領域Mの構成は、図1に示す第1の実施例と同様である。ロジック領域L内の活性領域に、MOSトランジスタ103が形成され、フィールド酸化膜2の上に、ポリシリコン膜やポリサイド構造によるゲート電極110が形成されている。図25では、ロジック領域Lに1つのMOSトランジスタのみを示すが、他の領域にも導電型の異なるMOSトランジスタが形成されており、CMOS回路が構成されている。

【0125】MOSトランジスタ103は、ソース領域103S、ドレイン領域103D、及びゲート電極103Gを含んで構成される。ゲート電極103Gは、MOSトランジスタ3のゲート電極3Gと同様に、上部絶縁膜104及びサイドウォール絶縁膜105で被覆されている。

【0126】ゲート電極110は、ワード線10と同様に、上部絶縁膜111及びサイドウォール絶縁膜112で覆われている。第1の実施例では、上部絶縁膜4及び11を $\text{SiO}_2$ で形成したが、本実施例では、例えば上部絶縁膜4、11、111、及び104を $\text{SiN}$ で形成する。また、サイドウォール絶縁膜5、12、112、及び105も、 $\text{SiN}$ で形成する。なお、 $\text{SiO}_2$ で形成してもよい。

【0127】上部絶縁膜111の一部に開口が形成されている。開口の形成は、RIEにより行うことができる。この開口の底に表出したゲート電極110に局所配線115が接続されている。局所配線115は、フィールド酸化膜2の表面の一部を経由してソース領域103Sの表面上に至る。さらに、局所配線115は、ゲート電極103Gの上面の一部の領域上まで延在している。局所配線115により、ゲート電極110とソース領域103Sとが接続される。局所配線115とゲート電極103Gとは、上部絶縁膜104及びサイドウォール絶縁膜105により絶縁されている。なお、局所配線による接続対象は、ゲート電極110とソース領域103Sとの間に限られない。

【0128】局所配線115は、メモリ領域M内のバリア層15と共通の成膜及びパターニング処理により形成される。第1の実施例では、バリア層15を厚さ50nmのTiN膜としたが、バリア層15と局所配線115とを、厚さ10nmのTi膜と厚さ50nmのTiN膜の積層構造としてもよい。

【0129】ゲート電極110及びMOSトランジスタ103は、メモリ領域M内のMOSトランジスタ3と同様に層間絶縁膜16で覆われている。ロジック領域L内においては、容量絶縁膜21及びプレート電極22が除去されている。この2層の除去は、例えばレジストパターンをマスクとしたイオンミリングにより行う。このとき、層間絶縁膜16の上層部もわずかにエッチングされる。

【0130】プレート電極22及び層間絶縁膜16を覆うように、厚さ約1000nmの層間絶縁膜120が形成されている。層間絶縁膜120の堆積は、例えばTEOSと $\text{O}_2$ を用いたCVD、またはTEOSとオゾンを用いたCVD等により行う。ソース領域103Sに対応する領域に、層間絶縁膜120と16の2層を貫通するコンタクトホール121が形成されている。コンタクトホール121の形成は、コンタクトホール17の形成と同様の方法で行う。コンタクトホール121の形成と同時に、図25の断面以外の領域において、プレート電極22の表面の一部を露出させるコンタクトホールが形成される。

【0131】接着層122、配線層123、及び反射防止膜124からなる積層構造を有する配線が、層間絶縁膜120の表面上に形成されている。接着層122は、

(17)

31

コンタクトホール121の内面上にも堆積している。接着層122は、例えば平面上での厚さ10nmのTi膜と厚さ50nmのTiN膜との2層構造を有する。これらの膜の堆積は、イオン化スパッタリングあるいはCVDにより行う。

【0132】配線層123は、Alにより形成され、コンタクトホール122の内部を埋め尽くしている。配線層123の堆積は、例えばジメチルアルミニウムハイドライドを用いたCVDにより行う。なお、接着層122と配線層123とを、WF<sub>6</sub>を用いたCVDによるWで形成してもよく、コンタクトホール122の内部をWで埋め込み、配線層123をAlで形成してもよい。反射防止膜124は、厚さ20nmのTiN膜である。

【0133】配線層123を含む積層構造を覆うように層間絶縁膜130が形成されている。層間絶縁膜130の上に配線131が形成されている。配線131は、層間絶縁膜130に形成されたコンタクトホールを介して下層の配線に接続されている。

【0134】上記第8の実施例では、ロジック領域L内の局所配線115とメモリ領域Mのバリア層15とを同時に堆積し、パターンニングする。このため、露光マスクの枚数及び製造工程数を削減することができる。

【0135】図26は、第9の実施例による半導体装置の断面図を示す。図26の左半分がメモリ領域Mであり、右半分がロジック領域Lである。メモリ領域Mの構成は、図12に示す第5の実施例のメモリ領域Mの構成と同様である。ロジック領域Lに、第8の実施例と同様のMOSトランジスタ103及びゲート電極110が形成されている。

【0136】ゲート電極110及びMOSトランジスタ103が、SiO<sub>2</sub>からなる層間絶縁膜60で覆われている。層間絶縁膜60は、メモリ領域M内のMOSトランジスタ3及びワード線10をも覆う。MOSトランジスタ103のソース領域103S及びゲート電極110に対応する領域に、それぞれ層間絶縁膜60と上部絶縁膜111とを貫通するコンタクトホール140及び141が形成されている。コンタクトホール140及び141は、メモリ領域M内のコンタクトホール61と同時に形成される。なお、コンタクトホール141は、層間絶縁膜60をエッチングした後、さらに上部絶縁膜111をエッチングすることにより形成される。

【0137】コンタクトホール140及び141内が、例えばWからなる導電性部材142及び143で埋め込まれている。

【0138】層間絶縁膜60の上に、導電性部材142と143とを接続する配線150が形成されている。配線150の形成は、メモリ領域M内のバリア層63の形成と共通の成膜及びパターンニング処理によって行われる。なお、第1の実施例では、バリア層63を厚さ50nmのTiN膜としたが、厚さ10nmのTi膜と厚さ

32

50nmのTiN膜との2層構造としてもよい。

【0139】配線150を覆うように、層間絶縁膜60の上に層間絶縁膜65が形成されている。層間絶縁膜65に、配線150の表面の一部を露出させるコンタクトホール151が形成されている。コンタクトホール151は、メモリ領域M内のコンタクトホール66と同時に形成される。

【0140】コンタクトホール151内が、ルテニウムからなる導電性部材152で埋め込まれている。導電性部材152の形成は、メモリ領域M内の導電性部材67の形成と同一の工程で行われる。

【0141】層間絶縁膜65の上に、導電性部材152に接続された配線160が形成されている。配線160の形成は、電荷蓄積電極70の形成と共通の成膜及びパターンニング処理によって行われる。メモリ領域M内のBSTからなる容量絶縁膜71とルテニウムからなるプレート電極72のパターンニングは、ロジック領域Lをマスクしないで、イオンミリングにより行う。配線160の上面には、容量絶縁膜とプレート電極が残らないが、側

面上には、BST膜161とルテニウム膜162が残る。なお、Cl<sub>2</sub>とO<sub>2</sub>を用いた等方性のRIEにより、ルテニウム膜162を除去してもよい。

【0142】プレート電極72及び配線160を覆うように、層間絶縁膜65の上にSiO<sub>2</sub>からなる厚さ1000nmの層間絶縁膜170が形成されている。メモリ領域Mにおいては、層間絶縁膜170に形成されたコンタクトホール171を介して、プレート電極72が、層間絶縁膜170上の配線172に接続されている。ロジック領域Lにおいては、層間絶縁膜170の上に他の配線173が形成されている。

【0143】上記第9の実施例では、ロジック領域Lの配線160の下に、バリア層63と同一の層内に配置された配線150が形成されている。配線150の上下の層間絶縁膜60と65の各々に、独立してコンタクトホールが形成されるため、各コンタクトホールを浅くし、アスペクト比を小さくすることができる。

【0144】さらに、配線160が、メモリ領域M内の電荷蓄積電極70と同一の配線層内に配置されている。このため、プレート電極72よりも上の配線層で配線する場合に比べて、コンタクトホールを浅くすることができる。また、電荷蓄積電極70と同一の工程で配線160を形成することができるため、工程数を削減することが可能になる。

【0145】ルテニウムの室温における抵抗率は7.2μΩcmであり、タングステンの抵抗率の高々約1.3倍、アルミニウムの抵抗率の高々約2.7倍である。従って、比較的近接配置された素子を接続する場合であれば、配線抵抗を十分低くすることができる。

【0146】図27は、第10の実施例による半導体装置の断面図を示す。本実施例による半導体装置のメモリ

領域Mは、図15に示す第7の実施例によるメモリ領域Mと同様の構成である。すなわち、層間絶縁膜60と65との間に、ビット線90が配置されている。ロジック領域Lにおいては、図26に示す第9の実施例の配線150の代わりに、ビット線90の形成と共通の成膜及びパターニング処理によって形成された配線150aが設けられている。その他の構成は、第9の実施例の場合と同様である。

【0147】ロジック領域Lにおいて、配線150aと同一の層内で配線を行わず、シリコン基板1の表面から配線160の層内の他の配線に直接接続する場合もあり得る。この場合、両者は、メモリ領域M内の導電性部材62、バリア層92、及び導電性部材67による電荷蓄積電極70とドレイン領域3Dとの接続構成と同様の構成によって接続される。第10の実施例においても、第9の実施例と同様の効果を得られる。

【0148】図27では、メモリセル部Mの構成を図17に示す第7の実施例の構成と同様としたが、図21に示す第7の実施例の第2の変形例若しくは図23に示す第7の実施例の第3の変形例と同様の構成としてもよい。図27の場合には、メモリ領域Mにおいてバリア層97をパターニングする際に、ロジック領域L内のバリア層97をすべて除去する。しかし、エッチングが完全な等方性でない場合には、配線150aの側壁上にバリア層97が残ってしまう場合がある。残留したバリア層97は浮遊容量の原因になり、信号伝搬遅延を増大させる要因になる。

【0149】図21に示す第7の実施例の第2の変形例の場合には、ビット線90による段差部が絶縁材97で埋め込まれ、バリア層92を形成する下地表面が平坦化されている。このため、ロジック領域L内において、不要なバリア層92の残留を防止することができる。

【0150】図23に示す第7の実施例の第3の変形例の場合には、バリア層92の堆積をビット線90の堆積よりも前に行うため、ビット線90の側壁上にバリア層92が残留しない。このため、浮遊容量の増加を防止することができる。

【0151】図28は、第11の実施例による半導体装置の断面図を示す。本実施例の場合には、キャパシタの電荷蓄積電極70aが、図5に示す第2の実施例の場合と同様に、底面部と筒状の側面部とにより構成されている。電荷蓄積電極70aの表面を容量絶縁膜71aが覆い、その表面をプレート電極72aが覆っている。

【0152】メモリ領域Mのその他の構成は、第9の実施例の場合と同様である。第9の実施例では、ロジック領域L内の配線160が、電荷蓄積電極70と同一の工程で形成された。本実施例の場合には、配線160の代わりに、配線160aがプレート電極72aと同一の工程で形成される。このような構成は、図7(A)のシリコン酸化膜36及びシリコン窒化膜35を除去する工程

で、ロジック領域L内に堆積したこれらの膜を同時に除去し、プレート電極72a及び配線160aの堆積を行う前に、ロジック領域L内に堆積している容量絶縁膜71aを除去することにより形成される。

【0153】第11の実施例においても、第9の実施例と同様の効果を得られる。配線160aを電荷蓄積電極70aと同一の工程で形成する場合には、配線160aの厚さが電荷蓄積電極70aの好適な厚さによって制限される。このため、配線160aを厚くすることが困難になり、配線抵抗が高くなってしまう。本実施例のように、配線160aをプレート電極72aの形成と同一の工程で形成することにより、配線160aを十分厚くすることができ、配線抵抗を低減させることが可能になる。

【0154】図29は、第12の実施例による半導体装置の断面図を示す。メモリ領域M内の導電性部材67及び電荷蓄積電極70aが、図11に示す第4の実施例の場合と同様の方法で形成される。層間絶縁膜65と電荷蓄積電極70aとの間には、図11(A)のシリコン窒化膜51に相当するシリコン窒化膜180が挿入されている。

【0155】シリコン窒化膜180は、ロジック領域Lにおいても層間絶縁膜65の表面を覆っている。ロジック領域Lのシリコン窒化膜180の上には、図11

(A)のシリコン酸化膜52に相当するシリコン酸化膜181が残っている。シリコン酸化膜181は、ロジック領域L内においては、層間絶縁膜として位置づけられる。配線150の一部に対応する領域に、シリコン酸化膜181、シリコン窒化膜180、及び層間絶縁膜65を貫通するコンタクトホール151が形成されている。コンタクトホール151は、図11(A)の貫通孔54、開口53、及びコンタクトホール17の形成と同様の方法で形成される。

【0156】コンタクトホール151内に、導電性部材152が埋め込まれている。導電性部材152の形成は、メモリ領域M内の導電性部材66の形成と同一の工程で行われる。

【0157】シリコン酸化膜181の上に、導電性部材152に接続された配線182が形成されている。配線182は、メモリ領域M内のプレート電極72aの形成と共通の成膜及びパターニング処理により形成される。ただし、ロジック領域Lにおいては、配線182を堆積する前にシリコン基板181の上の容量絶縁膜71aを除去しておく。第12の実施例においても、第9の実施例と同様の効果を得られる。

【0158】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0159】

【発明の効果】以上説明したように、本発明によれば、半導体領域と、その上の層間絶縁膜に形成されたコンタクトホールを埋める導電性部材との間にバリア層が配置される。バリア層により半導体領域の組成物と導電性部材の組成物との相互拡散を防止できる。このバリア層が、層間絶縁膜の上に露出しないため、層間絶縁膜形成後の酸化性雰囲気中での処理時に、バリア層が酸化されることを防止できる。このため、半導体領域と導電性部材との間の良好な電氣的接続を得ることが可能になる。

【0160】メモリ素子とロジック回路素子とを1チップ上に形成する場合、メモリ領域内の配線とロジック領域内の配線とを同一配線層内に配置する。このため、工程数を削減することができる。また、ロジック領域内におけるコンタクトホールのアスペクト比を小さくすることができ、歩留り向上を図ることが可能になる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例によるDRAMの1つのメモリセルの断面図である。

【図2】第1の実施例によるDRAMのメモリセルの製造方法を説明するための断面図である。

【図3】第1の実施例によるDRAMのメモリセルの製造方法を説明するための断面図である。

【図4】第1の実施例の変形例によるDRAMのメモリセルの製造方法を説明するための断面図である。

【図5】本発明の第2の実施例によるDRAMの1つのメモリセルの断面図である。

【図6】第2の実施例によるDRAMのメモリセルの製造方法を説明するための断面図である。

【図7】第2の実施例によるDRAMのメモリセルの製造方法を説明するための断面図である。

【図8】本発明の第3の実施例によるDRAMの1つのメモリセルの断面図である。

【図9】第3の実施例によるDRAMのメモリセルの製造方法を説明するための断面図である。

【図10】第3の実施例によるDRAMのメモリセルの製造方法を説明するための断面図である。

【図11】本発明の第4の実施例によるDRAMの1つのメモリセルの製造方法を説明するための断面図である。

【図12】本発明の第5の実施例によるDRAMの1つのメモリセルの断面図である。

【図13】第5の実施例によるDRAMのメモリセルの製造方法を説明するための断面図である。

【図14】本発明の第6の実施例によるDRAMの1つのメモリセルの断面図である。

【図15】本発明の第7の実施例によるDRAMの1つのメモリセルの断面図である。

【図16】本発明の第7の実施例によるDRAMのメモリセルの平面配置を説明するための図である。

【図17】図16に示すDRAMのメモリセルの断面図

である。

【図18】本発明の第7の実施例によるDRAMの1つのメモリセルの製造方法を説明するための基板の断面図である。

【図19】本発明の第7の実施例の第1の変形例によるDRAMの1つのメモリセルの断面図である。

【図20】本発明の第7の実施例の第1の変形例によるDRAMの1つのメモリセルの製造方法を説明するための基板の断面図である。

10 【図21】本発明の第7の実施例の第2の変形例によるDRAMの1つのメモリセルの断面図である。

【図22】本発明の第7の実施例の第2の変形例によるDRAMの1つのメモリセルの製造方法を説明するための断面図である。

【図23】本発明の第7の実施例の第3の変形例によるDRAMの1つのメモリセルの断面図である。

【図24】本発明の第7の実施例の第3の変形例によるDRAMの1つのメモリセルの製造方法を説明するための基板の断面図である。

20 【図25】本発明の第8の実施例による半導体装置の断面図である。

【図26】本発明の第9の実施例による半導体装置の断面図である。

【図27】本発明の第10の実施例による半導体装置の断面図である。

【図28】本発明の第11の実施例による半導体装置の断面図である。

【図29】本発明の第12の実施例による半導体装置の断面図である。

30 【符号の説明】

1 シリコン基板

2 フィールド酸化膜

3、103 MOSトランジスタ

3G、103G ゲート電極

3S、103S ソース領域

3D、103D ドレイン領域

3I ゲート絶縁膜

4、11、91A、98A、104、111 上部絶縁膜

40 5、12、91B、98B、105、112 サイドウォール絶縁膜

10 ワード線

15、63、80、92 バリア層

16、60、65、120、130、170 層間絶縁膜

17、45、61、66、82、99、121、14

0、141、151、171 コンタクトホール

18、40、62、67、83、142、143、15

2 導電性部材

50 20、30、70 電荷蓄積電極

(20)

37

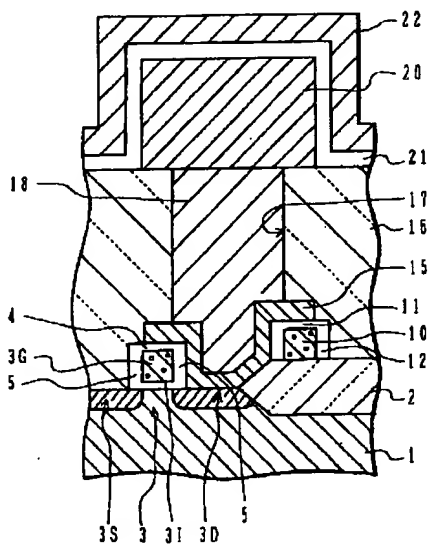
- 21、31、71 容量絶縁膜
- 22、32、72 プレート電極
- 25、37、43 レジストパターン
- 26 ハードマスクパターン
- 35、41、51 シリコン窒化膜
- 36、42、52 シリコン酸化膜
- 38、54 貫通孔
- 39、56 充填材
- 53 開口
- 55 ルテニウム膜
- 80A、81A WSi層若しくはW層
- 80B、81B TiN層
- 81、90 ビット線
- 91 ビット線被覆絶縁膜
- 95 活性領域

38

- 96 導電材
- 97 絶縁材
- 98 バリア層被覆絶縁膜
- 110 ゲート電極
- 131、150、150a、160、160a、172、173、182 配線
- 115 局所配線
- 122 接着層
- 123 配線層
- 10 124 反射防止膜
- 161 BST膜
- 162 ルテニウム膜
- 180 シリコン窒化膜
- 181 シリコン酸化膜

【図1】

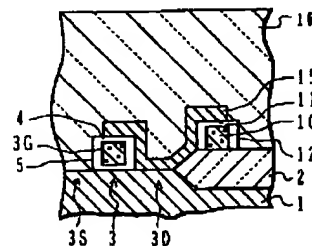
第1の実施例



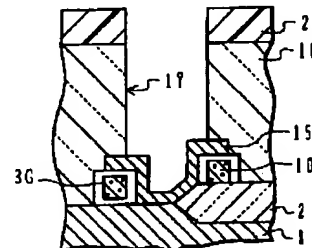
【図2】

第1の実施例（製造工程その1）

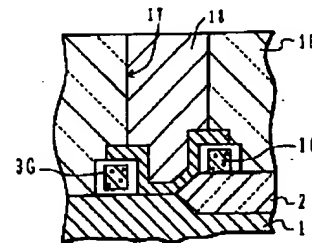
(A)



(B)



(C)

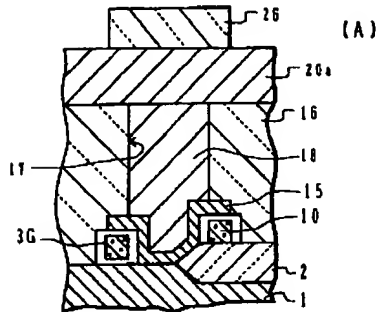


(21)

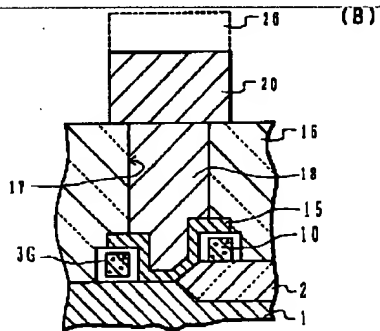
【図3】

第1の実施例（製造工程その2）

(A)



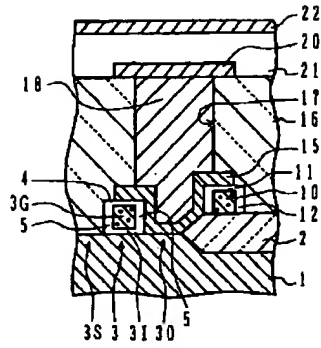
(B)



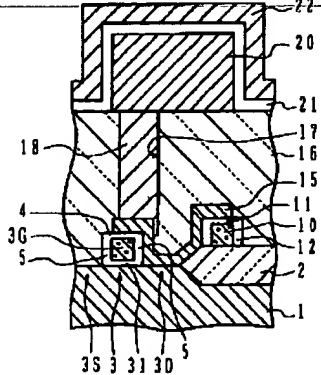
【図4】

第1の実施例の変形例

(A)

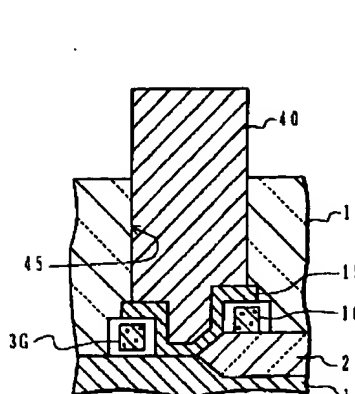


(B)



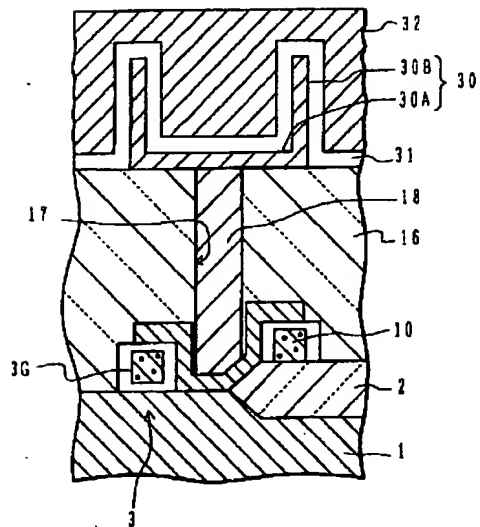
【図10】

第3の実施例（製造工程その2）



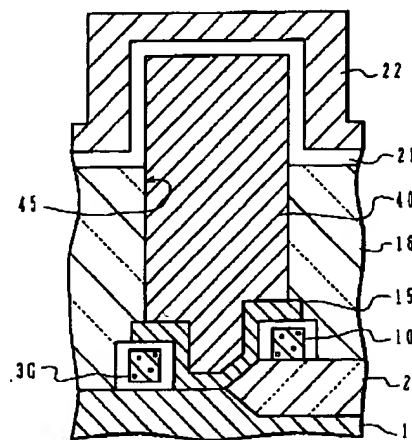
【図5】

第2の実施例



【図8】

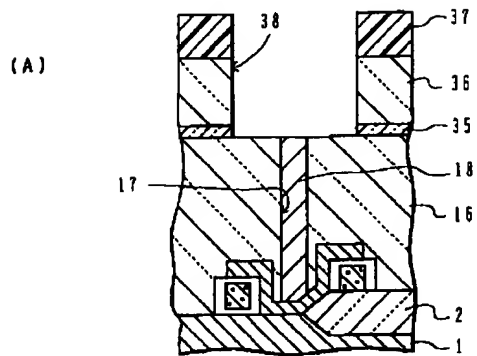
第3の実施例



(22)

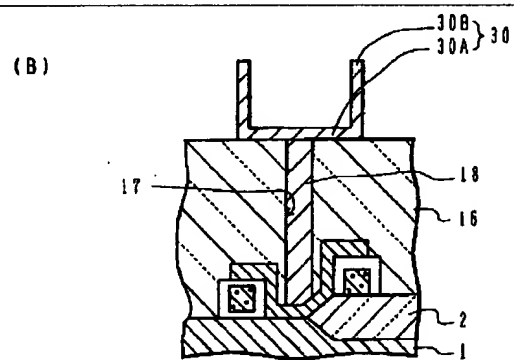
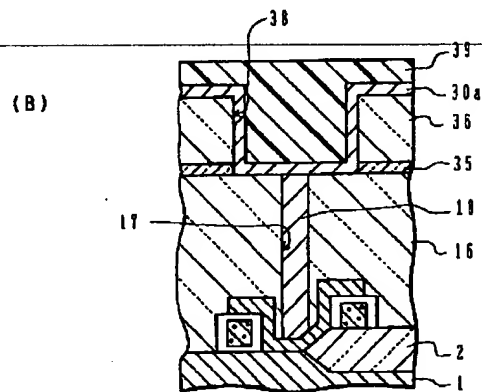
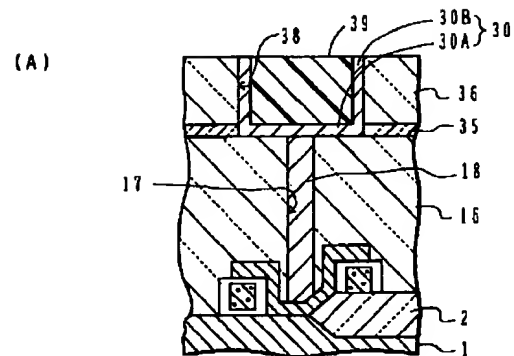
【図6】

第2の実施例（製造工程その1）



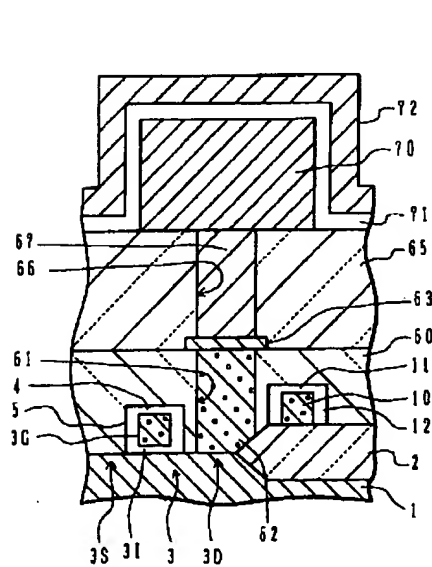
【図7】

第2の実施例（製造工程その2）



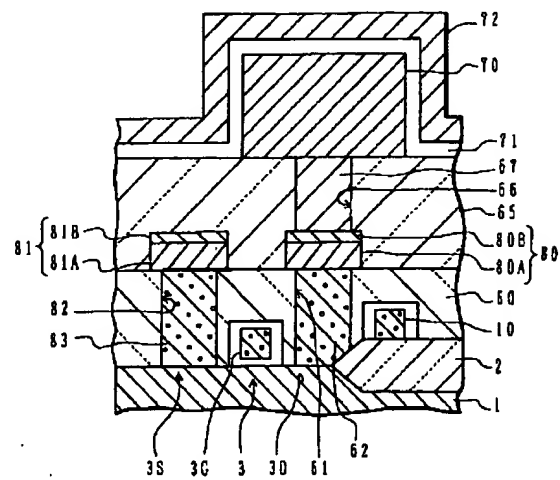
【図12】

第5の実施例



【図14】

第6の実施例

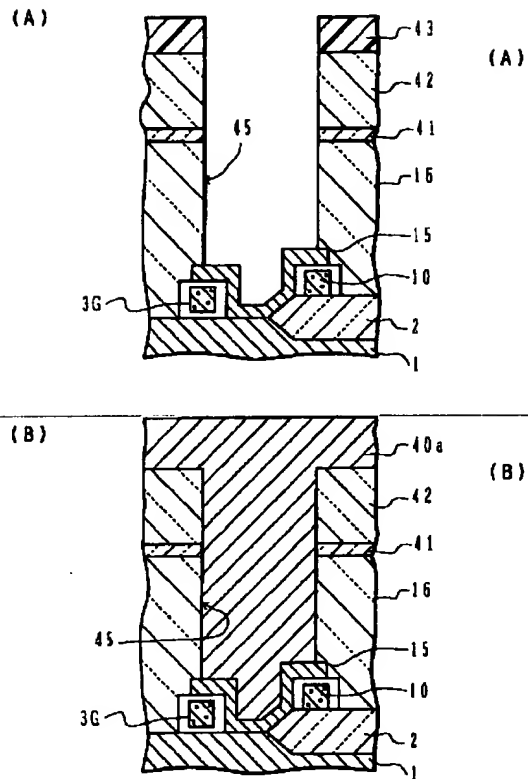




(23)

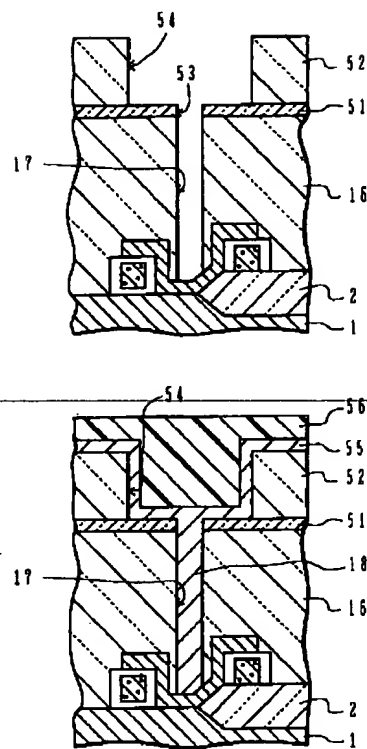
【図9】

第3の実施例（製造工程その1）



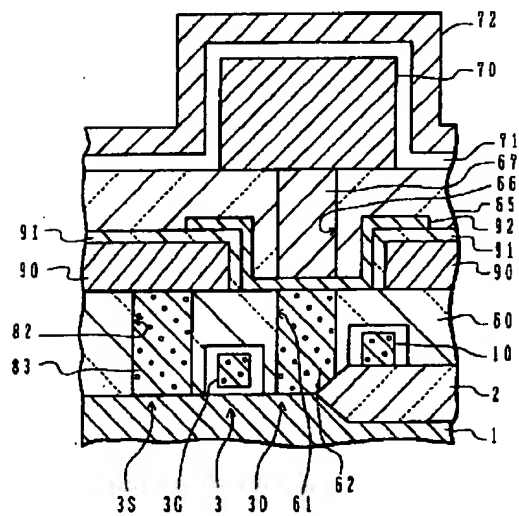
【図11】

第4の実施例



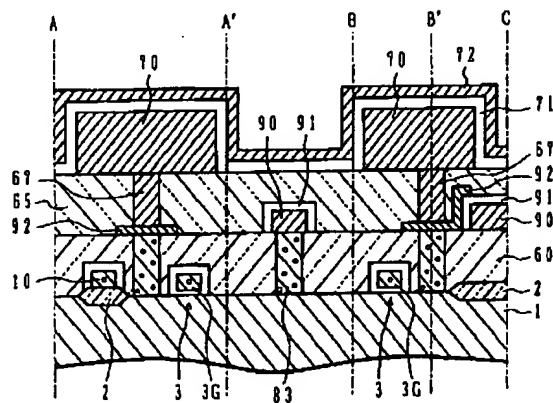
【図15】

第7の実施例



【図17】

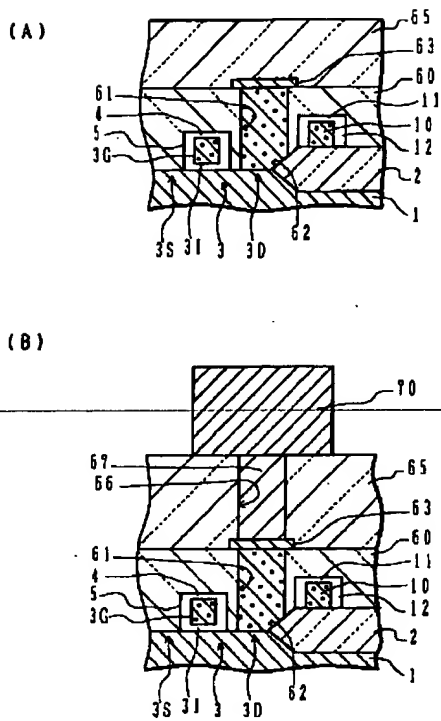
第7の実施例



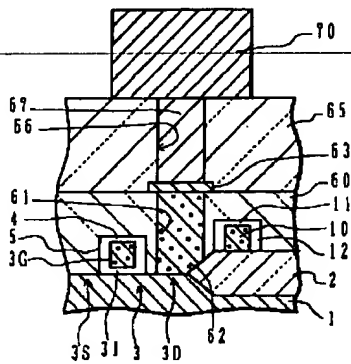
(24)

【図13】

第5の実施例（製造工程）

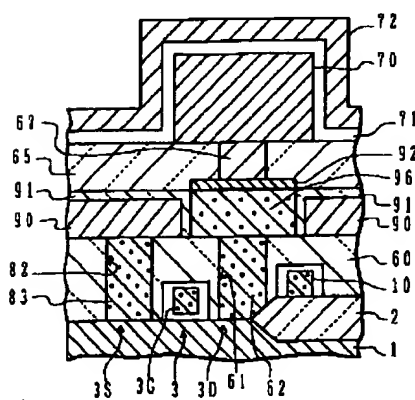


(B)



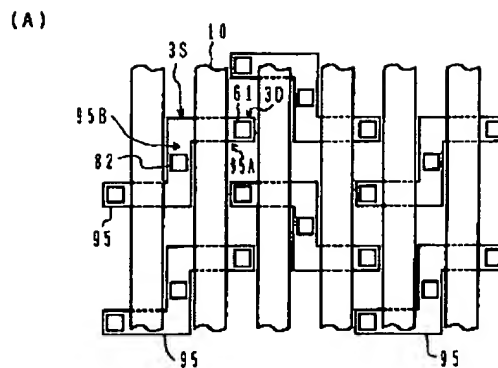
【図19】

第7の実施例の第1の変形例

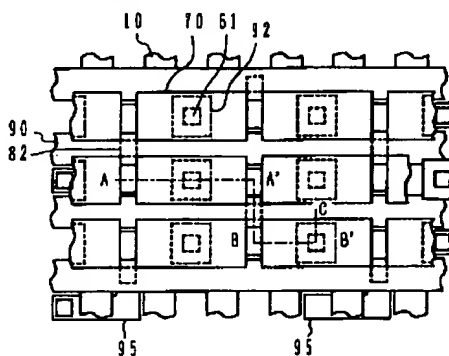


【図16】

第7の実施例

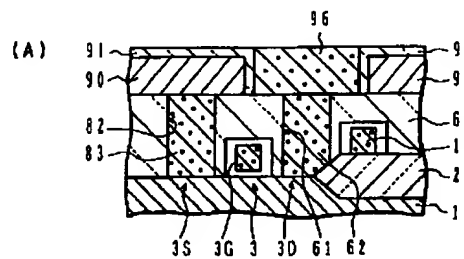


(B)

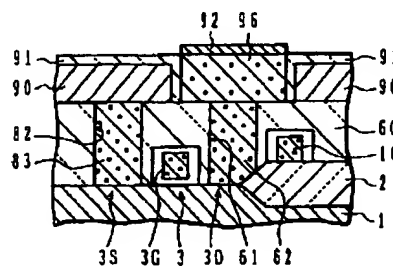


【図20】

第7の実施例の第1の変形例（製造工程）

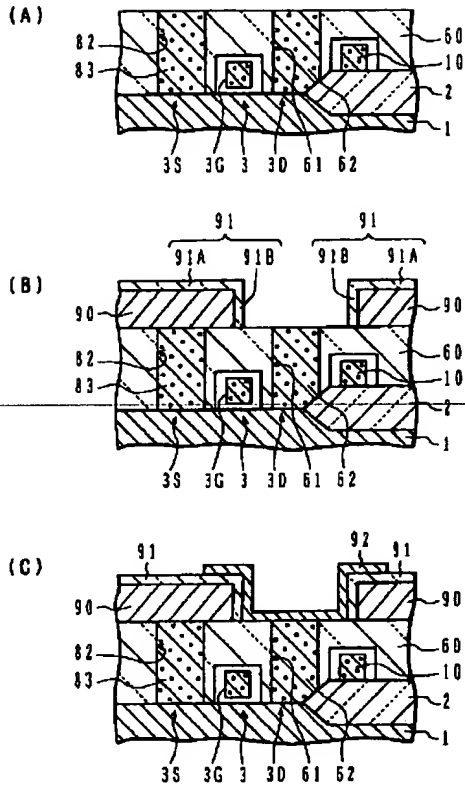


(B)



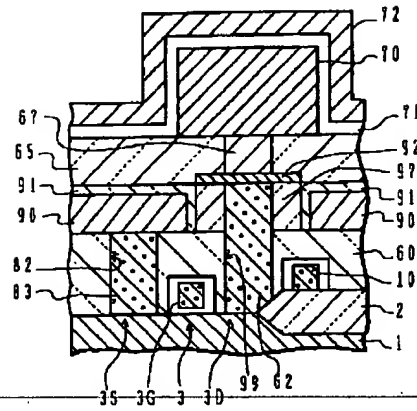
【図18】

第7の実施例（製造工程）



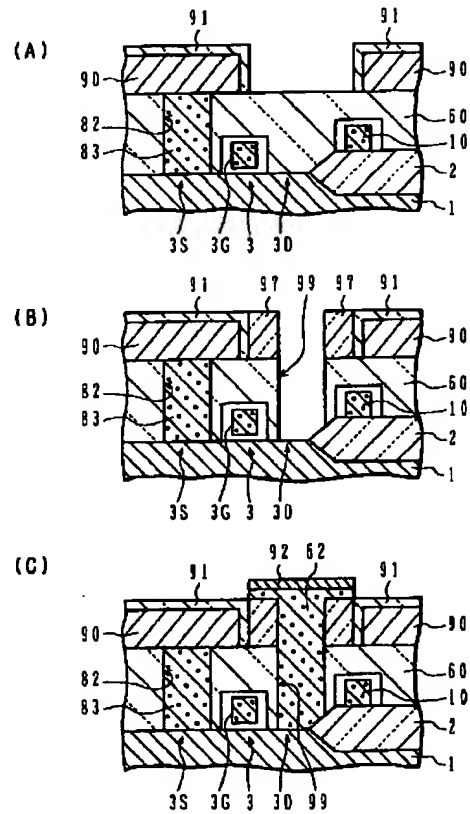
【図21】

第7の実施例の第2の変形例



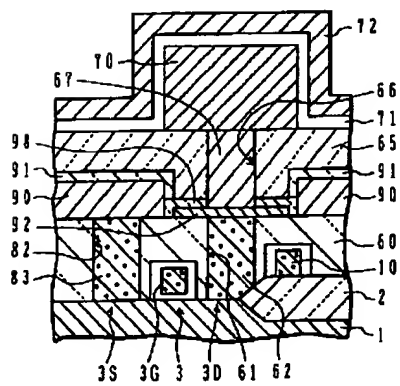
【図22】

第7の実施例の第2の変形例（製造工程）



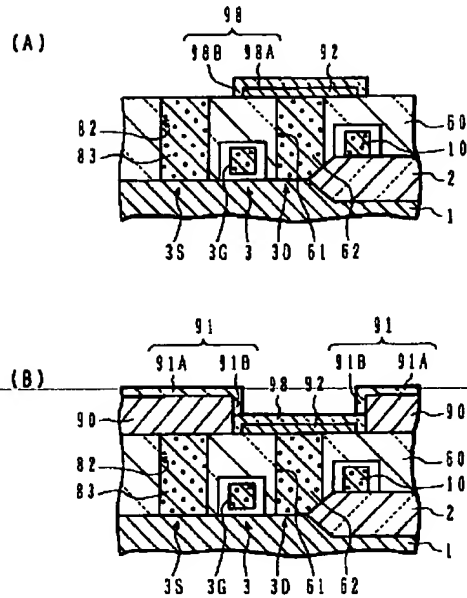
【図23】

第7の実施例の第3の変形例



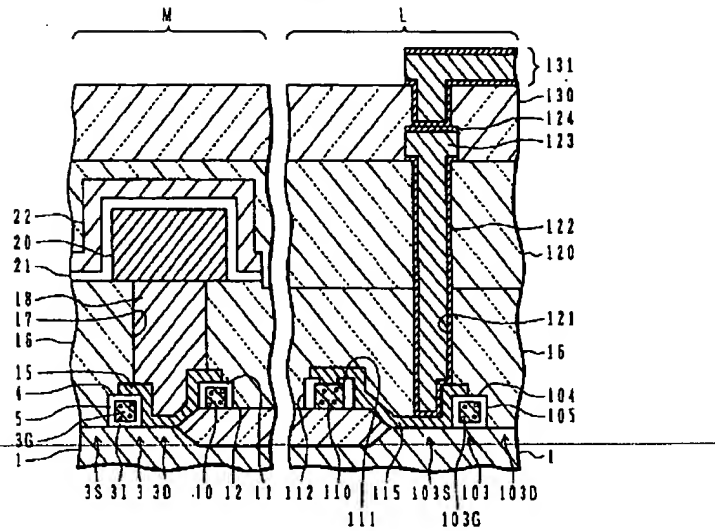
【図24】

第7の実施例の第3の変形例（製造工程）



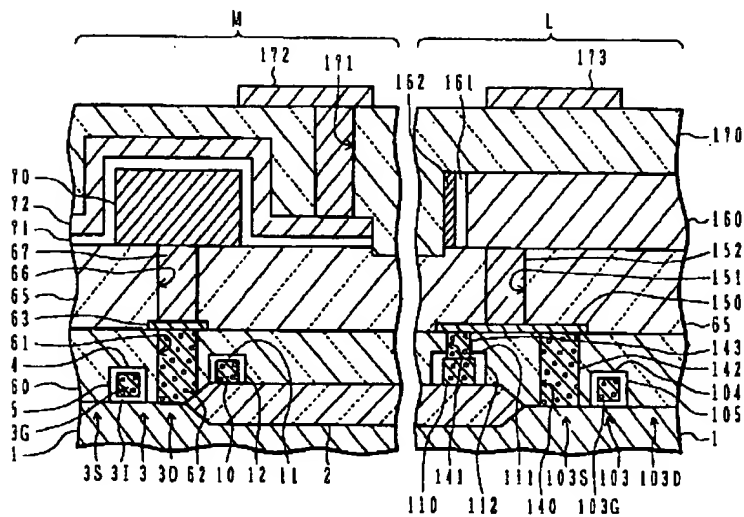
【図25】

第8の実施例



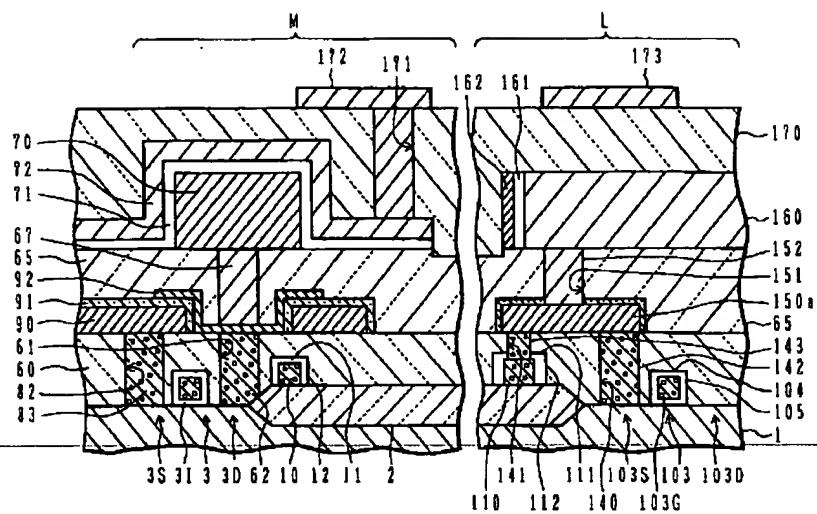
【図26】

第9の実施例



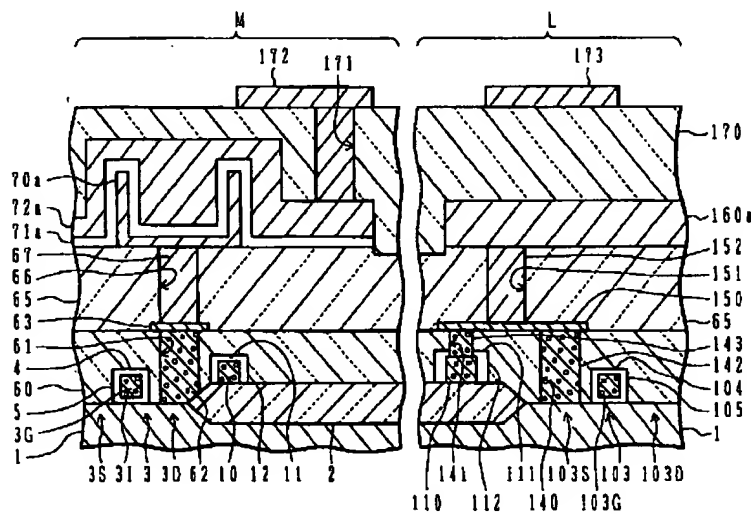
【図27】

第10の実施例



【図28】

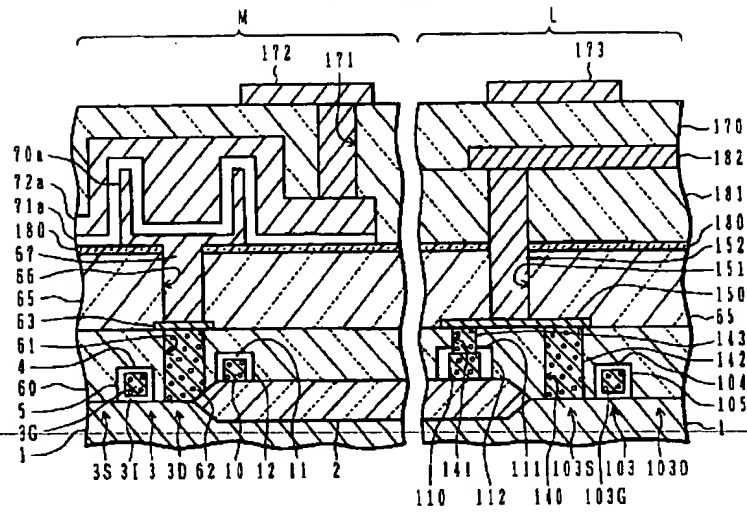
第11の実施例



(28)

【図29】

第12の実施例



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 27/10

6 8 1 F